

[19]中华人民共和国国家知识产权局

[51]Int. Cl.

H01L 21/82

H01L 21/28 H01L 27/10

# [12] 发明专利申请公开说明书

[21] 申请号 99118339.8

[43]公开日 2000年3月8日

[11]公开号 CN 1246727A

[22]申请日 1999.8.31 [21]申请号 99118339.8

[30]优先权

[32]1998.8.31 [33]JP [31]246147/1998

[71]申请人 株式会社日立制作所

地址 日本东京

[72]发明人 斋藤政良 吉田诚

川上博士 梅泽唯史

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

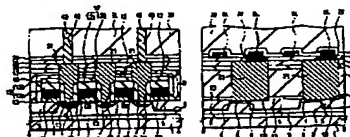
代理人 王永刚

权利要求书 7 页 说明书 35 页 附图页数 49 页

[54]发明名称 半导体集成电路器件的制造工艺

[57]摘要

半导体集成电路器件制造工艺,包含:用第一导电膜、第一绝缘膜和第二绝缘膜相继涂敷半导体衬底并图形化;制作第三绝缘膜和第四绝缘膜;在第四绝缘膜上制作在第一导电膜图形之间具有第一窗口的掩模,并对第一窗口暴露的第四绝缘膜进行腐蚀形成第二窗口;对从第二窗口暴露的第三绝缘膜进行各向异性腐蚀,在相邻第一导电膜图形之间的第三绝缘膜中形成暴露半导体衬底上表面的第三窗口。



ISSN 1008-4274

BEST AVAILABLE COPY

专利文献出版社出版

## 权 利 要 求 书

1. 一种半导体集成电路器件制造工艺，它包含下列步骤：

(a) 用第一导电膜、第一绝缘膜和第二绝缘膜，相继涂敷半导体衬底，并对其进行图形化以形成多个第一导电膜图形；

(b) 在所述步骤(a)之后，在半导体衬底上、所述第一导电膜图形的侧壁上以及所述第二绝缘膜上，制作第三绝缘膜，并在所述第三绝缘膜上制作第四绝缘膜；

(c) 在所述步骤(b)之后，在所述第四绝缘膜上，制作在所述多个第一导电膜图形的相邻图形之间具有第一窗口的掩模，并在所述第四绝缘膜比所述第三和第二绝缘膜更容易被腐蚀掉的条件下，对从所述掩模第一窗口暴露的所述第四绝缘膜进行腐蚀，以便在所述第四绝缘膜中形成第二窗口；以及

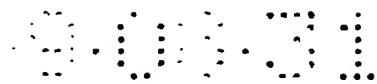
(d) 在所述步骤(c)之后，在所述第三绝缘膜比所述第一绝缘膜和所述第四绝缘膜更容易被腐蚀掉的条件下，对从所述第四绝缘膜的第二窗口暴露的所述第三绝缘膜进行各向异性腐蚀，以便在所述相邻的第一导电膜图形之间的第三绝缘膜中形成暴露所述半导体衬底的上表面的第三窗口。

2. 根据权利要求1的半导体集成电路器件制造工艺，其中所述步骤(c)的腐蚀被停止，使从所述第一窗口暴露的第四绝缘膜可以被清除，而所述相邻第一导电膜图形上的第一绝缘膜可以不被暴露。

3. 根据权利要求1的半导体集成电路器件制造工艺，其中所述步骤(d)的腐蚀被停止，使从所述第二窗口暴露的第三绝缘膜可以被清除以暴露半导体衬底，而所述相邻第一导电膜图形上的第一绝缘膜可以留下。

4. 根据权利要求1的半导体集成电路器件制造工艺，其中所述第一绝缘膜和所述第四绝缘膜由氧化硅膜组成，而所述第二绝缘膜和所述第三绝缘膜由氮化硅膜组成。

5. 根据权利要求1的半导体集成电路器件制造工艺，其中所述第



二绝缘膜的厚度和所述第三绝缘膜的厚度之和，大于将从所述半导体衬底上的第三绝缘膜上表面到所述第一导电膜图形上的第三绝缘膜上表面存在的第四绝缘膜的厚度除以所述第四绝缘膜对所述第二绝缘膜和所述第三绝缘膜的腐蚀速率的比值所计算得到的数值。

6. 根据权利要求 1 的半导体集成电路器件制造工艺，其中所述第一绝缘膜的厚度，大于将所述第三绝缘膜的厚度除以所述第三绝缘膜对所述第一绝缘膜的腐蚀速率的比值所计算得到的数值。

7. 根据权利要求 1 的半导体集成电路器件制造工艺，其中所述第三绝缘膜的厚度，小于所述相邻第一导电膜图形之间的间隙的一半。

8. 根据权利要求 1 的半导体集成电路器件制造工艺，在所述步骤 (a) 之前，还包含：(e) 在所述半导体衬底中制作沟槽；以及 (f) 用绝缘膜掩埋所述沟槽。

9. 根据权利要求 1 的半导体集成电路器件制造工艺，其中制作所述第四绝缘膜的步骤包括涂敷 SOG 膜。

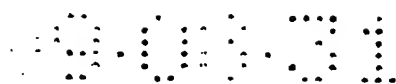
10. 根据权利要求 1 的半导体集成电路器件制造工艺，其中制作所述第四绝缘膜的步骤包括下列步骤：涂敷 SOG 膜；在其上涂敷氧化硅膜；以及对氧化硅膜进行抛光。

11. 根据权利要求 1 的半导体集成电路器件制造工艺，其中制作所述第四绝缘膜的步骤包括下列步骤：涂敷硼/磷硅酸盐玻璃膜；回流硼/磷硅酸盐玻璃膜；以及对回流的硼/磷硅酸盐玻璃膜的上表面进行抛光。

12. 根据权利要求 1 的半导体集成电路器件制造工艺，其中制作所述第一导电膜的步骤包括下列步骤：涂敷多晶硅膜；以及在其上制作硅化物膜。

13. 根据权利要求 1 的半导体集成电路器件制造工艺，其中制作所述第一导电膜的步骤包括下列步骤：涂敷多晶硅膜；在其上制作势垒金属膜；以及在其上制作难熔金属膜。

14. 根据权利要求 1 的半导体集成电路器件制造工艺，其中所述步骤 (a) 包括下列步骤：用光刻胶膜作为腐蚀掩模，对所述第一绝缘



膜和所述第二绝缘膜进行图形化，然后清除所述光刻胶膜；以及用图形化的所述第一绝缘膜和所述第二绝缘膜作为腐蚀掩模，对第一导电膜进行图形化，以形成所述多个第一导电膜图形。

15. 一种半导体集成电路器件制造工艺，它包含下列步骤：

(a) 用多晶硅膜涂敷半导体衬底，然后通过势垒金属膜，用难熔金属膜涂敷多晶硅膜，以形成第一导电膜；

(b) 在第一导电膜上制作用来保护所述第一导电膜的第一绝缘膜；

(c) 在所述步骤(b)之后，对半导体衬底进行热处理；

(d) 在所述步骤(b)之后，在所述保护第一导电膜的第一绝缘膜上，制作第二绝缘膜；

(e) 对所述第二绝缘膜、所述第一绝缘膜和所述第一导电膜进行图形化，以形成多个导电膜图形；以及

(f) 在所述步骤(e)之后，清洗然后氧化半导体衬底。

16. 根据权利要求15的半导体集成电路器件制造工艺，还包含：

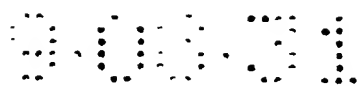
(g) 在所述步骤(f)之后，在所述半导体衬底上、在所述第一导电膜图形的侧壁上、以及在所述第二绝缘膜上，制作第三绝缘膜，然后在所述第三绝缘膜上制作第四绝缘膜；

(h) 在所述步骤(g)之后，在所述第四绝缘膜上，制作在所述多个第一导电膜图形的相邻图形之间具有第一窗口的掩模，并在所述第四绝缘膜比所述第三和第二绝缘膜更容易被腐蚀掉的条件下，对从所述掩模的第一窗口暴露的所述第四绝缘膜进行腐蚀，以便在所述第四绝缘膜中形成第二窗口；以及

(i) 在所述步骤(h)之后，在所述第三绝缘膜比所述第一绝缘膜和所述第四绝缘膜更容易被腐蚀掉的条件下，对从所述第四绝缘膜的第二窗口暴露的所述第三绝缘膜进行各向异性腐蚀，以便在所述相邻的第一导电膜图形之间的第三绝缘膜中形成暴露所述半导体衬底表面的第三窗口。

17. 根据权利要求15的半导体集成电路器件制造工艺，其中用等





离子体 CVD 方法制作所述保护第一导电膜的第一绝缘膜。

18. 根据权利要求 15 的半导体集成电路器件制造工艺，其中所述势垒金属膜由氮化钨构成；而其中所述清洗处理使用含过氧化氢的清洗液。

19. 根据权利要求 15 的半导体集成电路器件制造工艺，其中所述保护第一导电膜的第一绝缘膜由氧化硅膜组成；而其中所述第二绝缘膜由氮化硅制成。

20. 一种半导体集成电路器件的制造工艺，它包含下列步骤：

(a) 在半导体衬底上制作栅绝缘膜，然后制作第一导电膜；

(b) 在所述第一导电膜上制作第一绝缘膜；

(c) 在所述第一绝缘膜上制作第二绝缘膜；

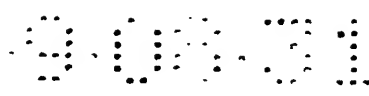
(d) 对所述第二绝缘膜、所述第一绝缘膜和所述第一导电膜进行图形化，以便在所述半导体衬底上形成多个字线和多个栅电极、以及在所述字线和所述栅电极上形成由所述第一绝缘膜和所述第二绝缘膜组成的帽绝缘膜；

(e) 在所述步骤 (d) 之后，在所述半导体衬底上、所述字线的侧壁上、所述栅电极的侧壁上、以及所述帽绝缘膜上，制作第三绝缘膜，然后在所述第三绝缘膜上制作第四绝缘膜；

(f) 在所述步骤 (e) 之后，在所述第四绝缘膜上，制作在所述多个字线的相邻字线之间具有第一窗口的掩模，并在所述第四绝缘膜比所述第三和第二绝缘膜更容易被腐蚀掉的条件下，对从所述掩模的第一窗口暴露的所述第四绝缘膜进行腐蚀，以便在所述第四绝缘膜中形成第二窗口；

(g) 在所述步骤 (f) 之后，在所述第三绝缘膜比所述第一绝缘膜和所述第四绝缘膜更容易被腐蚀掉的条件下，对从所述第四绝缘膜的第二窗口暴露的所述第三绝缘膜进行各向异性腐蚀，以便在所述相邻的字线之间的第三绝缘膜中形成暴露所述半导体衬底上表面的第三窗口。

(h) 将导电膜埋置在所述多个连接孔中；



(i) 制作要与所述导电膜中连接位线的导电膜电连接的位线；以及

(j) 制作要与所述导电膜中连接电容元件的导电膜电连接的信息储存电容元件。

21. 根据权利要求 20 的半导体集成电路器件制造工艺，还包含在所述步骤 (a) 之前，在所述半导体衬底的隔离区中制作沟槽，并用绝缘膜涂敷包括沟槽的半导体衬底；以及清除所述绝缘膜使之留在所述沟槽中，以便在所述沟槽中形成埋置的绝缘膜，从而形成沟槽型隔离区。

22. 根据权利要求 20 的半导体集成电路器件制造工艺，其中制作所述第一导电膜的步骤包含下列步骤：涂敷多晶硅膜；用势垒金属膜涂敷所述多晶硅膜；以及用难熔金属膜涂敷所述势垒金属膜。

23. 根据权利要求 22 的半导体集成电路器件制造工艺，还包含下列步骤：在制作所述第一绝缘膜的步骤之后，执行热处理，以便使构成所述势垒金属膜的氮化钨致密化；并在所述步骤 (d) 之后，使用含有过氧化氢水溶液的清洗液执行清洗处理，然后执行氧化处理。

24. 根据权利要求 20 的半导体集成电路器件制造工艺，其中所述第一绝缘膜用等离子体 CVD 方法制作，而所述第二绝缘膜用低压 CVD 方法制作。

25. 根据权利要求 20 的半导体集成电路器件制造工艺，其中所述第一绝缘膜由氧化硅膜组成，而所述第二绝缘膜由氮化硅组成。

26. 根据权利要求 20 的半导体集成电路器件制造工艺，其中在所述位线连接导电膜的俯视平面尺寸中，所述字线沿延伸方向的尺寸比所述字线沿相交方向的尺寸更大，致使所述位线连接导电膜在俯视平面中重叠隔离区。

27. 一种半导体集成电路器件制造工艺，它包含下列步骤：

(a) 在半导体衬底上相继制作第一导电膜、第一绝缘膜和第二绝缘膜，并对其进行图形化，以便形成第一区中的第一导体图形和第二区中的第二导体图形；



(b) 在所述第一和第二导体图形的侧壁上制作第三绝缘膜;

(c) 用第一导电类型杂质, 对所述第二区中的所述半导体衬底的表面进行与所述第三绝缘膜自对准的掺杂;

(d) 在所述第一和第二区中的所述第三绝缘膜上, 制作第四绝缘膜, 以便掩埋所述第一图形之间的所述第一区;

(e) 在所述第四绝缘膜比所述第三绝缘膜更容易被腐蚀掉的条件下, 在所述第一图形之间的所述第一区中的所述第四绝缘膜中, 制作第一窗口; 以及

(f) 在所述第一窗口中暴露的所述第三绝缘膜中, 制作第二窗口。

28. 一种半导体集成电路器件制造工艺, 它包含下列步骤:

(a) 在半导体衬底上相继制作第一导电膜、第一氧化硅膜和第一氮化硅膜, 并对其进行图形化, 以便形成第一区中的第一导体图形和第二区中的第二导体图形;

(b) 在所述第一和第二导体图形的侧壁上制作第二氮化硅膜;

(c) 用 N 型第一杂质, 对所述第二区中的所述半导体衬底的表面进行与所述第二氮化硅膜自对准的掺杂;

(d) 在所述第一和第二区中的所述第二氮化硅膜上, 制作第二氧化硅膜, 以便掩埋所述第一图形之间的所述第一区;

(e) 在所述第二氧化硅膜比所述第二氮化硅膜更容易被腐蚀掉的条件下, 在所述第一图形之间的所述第一区中的所述第二氧化硅膜中, 制作第一窗口; 以及

(f) 在所述第一窗口中暴露的所述第二氮化硅膜中, 制作第二窗口, 以暴露所述半导体衬底。

29. 根据权利要求 28 的半导体集成电路器件制造工艺, 在所述步骤 (a) 和 (b) 之间, 还包含 (g) 用 N 型第二杂质, 对所述第二区中的所述半导体衬底的表面进行与所述第二图形自对准的掺杂;

30. 根据权利要求 28 的半导体集成电路器件制造工艺, 在所述步骤 (b) 和 (c) 之间, 还包含 (h) 对所述第二氮化硅膜进行各向异性腐蚀, 以便在所述第二导体图形的侧壁上形成第一侧壁绝缘膜, 其中



用所述第一杂质对所述半导体衬底表面进行的掺杂，在与所述第一侧壁绝缘膜自对准的情况下执行。

31. 根据权利要求 28 的半导体集成电路器件制造工艺，其中在制作所述第一和第二窗口的步骤中，在所述第一导体图形的侧壁上，制作第二侧壁绝缘膜。

# 说明书

## 半导体集成电路器件的制造工艺

本发明涉及到半导体集成电路器件的制造工艺，更确切地说是涉及到在整平的层绝缘膜中制作连接孔时，自对准于布线线条（包括栅电极）和元件隔离区而暴露半导体衬底表面上的半导体区域的技术。

作为第一技术，在例如 IEEE Transaction ED-43, No.11(1996), pp.1864-1869 中，描述了在覆盖栅电极的层隔离膜中与栅电极自对准地制作连接孔的 SAC（自对准接触）技术。此处公开了一种技术，其中的栅电极构造成具有所谓的“多晶-金属结构”，这意味着在低阻多晶硅膜上通过势垒金属膜层叠一个难熔金属膜，且栅电极上的帽绝缘膜和栅电极侧壁上的侧壁绝缘膜由氮化硅膜制成。

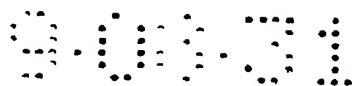
根据此技术，当要在氧化硅膜组成的层绝缘膜中制作连接孔时，借助于对其进行相对于氮化硅膜的选择性腐蚀，可以与栅电极自对准地制作。这就可以无须在栅电极与连接孔之间留出余量，致使能够减小 MISFET 的尺寸，以增加待要封装在预定尺寸的芯片中的 MISFET 的数目，从而提高集成度。

此处，如从上述第一技术可见，主要过程是元件隔离结构（如所谓的“沟槽隔离”），其中，用制作在半导体衬底表面中并埋置有 CVD 氧化膜之类的沟槽，来代替由热氧化膜制成的元件隔离绝缘膜。

在上述第一技术的情况下，必须在光刻胶掩模窗口与元件隔离区之间保留余量，以便在制作连接孔时，掩模窗口不延伸到元件隔离区上。若光刻胶掩模窗口延伸到了元件隔离区上方，则在腐蚀层隔离膜时，沟槽中的氧化膜也被腐蚀，从而在半导体区与衬底之间引起导电的危险。

于是，不言自明，在掩模窗口与元件隔离区之间保留余量，引发了妨碍减小 MISFET 尺寸的一个原因。

另一方面，虽然本技术领域还不很清楚，此处将描述一种用来制



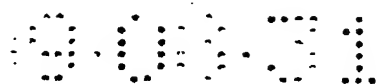
作与栅电极自对准而到元件隔离区无须任何余量的连接孔的第二技术（日本专利申请 No.92608/1997）。

在此第二技术中，仅仅由氮化硅膜组成的帽绝缘膜被制作在栅电极上，并用薄的氮化硅膜涂敷半导体衬底的主表面、栅电极的侧面、以及帽隔离膜的表面（包括侧面和上表面）。在此第二技术中，首先，借助于在氧化硅膜制成的层绝缘膜比氮化硅膜更容易被腐蚀掉的条件下执行腐蚀处理，并在暴露出氮化硅薄膜时，借助于在氮化硅膜比层绝缘膜更容易被腐蚀掉的条件下执行腐蚀处理，来制作用来暴露半导体衬底的上述连接孔。根据此第二技术，有可能解决即使在制作于半导体衬底中的元件隔离区中埋置与层绝缘膜种类相同的氧化硅膜，埋置在元件隔离区中的氧化硅膜也被腐蚀，以致在制作连接孔时，在半导体区与衬底之间形成导电的问题。

本发明涉及到上述第二技术的进一步改进，而且，我们已经发现，上述第二技术有下列问题。

第一问题是上述连接孔形状比增大。根据第二技术，在制作上述连接孔时，半导体衬底上的薄的氮化硅膜被最后腐蚀，以暴露半导体衬底的表面。然而，根据上述技术，帽绝缘膜也由氮化硅膜制成，以致从连接孔暴露出来的帽绝缘膜部分也被腐蚀掉。但当帽绝缘膜被清除时，待要埋置在连接孔中的导电膜与栅电极之间的绝缘膜被减薄，使击穿电压降低。另一方面，当帽绝缘膜被完全腐蚀以暴露栅电极时，在埋置于连接孔中的导电膜与栅电极之间形成导电。因此，必须将帽绝缘膜加厚到连接孔制作结束后可以在栅电极上形成帽绝缘膜的厚度。由于帽绝缘膜被加厚，从半导体衬底主表面到帽绝缘膜上表面的高度就变得比原来的大，以致连接孔的形状比增大。这就使得难以制作连接孔并将导电膜埋置在连接孔中，从而引起连接孔中的电阻增大和导电不良。

第二问题是，在制作帽绝缘膜之后，帽绝缘膜由于热处理而被刮去或隆起。在上述第二技术中，必须保持帽绝缘膜的厚度。但根据我们的研究结果，已经发现，随着帽绝缘膜变厚，在制作帽绝缘膜之后，



热处理引起的帽绝缘膜的分离或膨胀问题变得更为严重。另一方面，根据我们的研究结果，还已经发现，当栅电极材料（特别是帽绝缘膜接触部分的材料）是难熔金属膜时，问题是严重的。

另一方面，根据本发明，我们已经研究了 SAC 技术的现有技术的例子，并发现了日本专利公开 No.316313/1996 和日本专利公开 No.125141/1996。

在第一研究技术出版物的图 1 中，示出了一种工艺，其中：在栅电极上制作氧化硅组成的偏移绝缘膜；然后淀积氮化硅膜并回腐蚀；在栅电极的侧壁上制作氮化硅膜侧壁；满铺淀积薄的氮化硅膜和层绝缘膜；在设定对薄的氮化硅膜和侧壁的高腐蚀选择比的条件下，对层绝缘膜进行腐蚀；再对接触孔底部的薄的氮化硅膜进行腐蚀以暴露衬底。

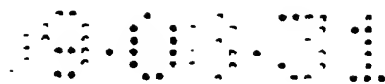
由于氧化硅膜与氮化硅膜之间的腐蚀选择比无法达到无穷大，故根据第一研究技术，在各个栅电极之间的层绝缘膜被腐蚀时，各个栅电极上的薄的氮化硅膜也被腐蚀。这就使这一薄的氮化硅膜必须具有直到层绝缘膜的腐蚀处理结束时仍然能够保存下来的厚度。

另一方面，在第二研究技术的出版物的图 3-6 中，公开了一种制作与栅电极自对准的连接孔的工艺。在此技术中，在栅电极上制作氧化硅膜；然后满铺淀积氧化硅膜和氮化硅膜；在其对氮化硅膜的选择比高的条件下，对 BPSG 膜即层绝缘膜进行腐蚀；然后在氮化硅膜的腐蚀速率比 BPSG 膜的腐蚀速率高的条件下，腐蚀氮化硅膜；再腐蚀氧化硅膜以形成侧壁。

然而，与上述第一研究技术相似，根据此第二研究技术，在各个栅电极之间的层绝缘膜被腐蚀时，各个栅电极上的氮化硅膜也被腐蚀。这就使这一氮化硅膜必须具有直到层绝缘膜的腐蚀处理结束时仍然能够保存下来的厚度。

因此，本发明的目的是提供一种能够降低连接孔的形状比的技术。

本发明的另一目的是提供一种能够防止帽绝缘膜在制作之后发生分离或隆起的技术。



从参照附图进行的下列描述中，本发明的上述和其它目的以及新颖特点将变得明显。

下面简要描述此处公开的本发明的典型代表。

根据本发明，提供了一种制造半导体集成电路器件的工艺。此工艺包含下列步骤：

(a) 用第一导电膜、第一绝缘膜和第二绝缘膜，按所述顺序相继涂敷半导体衬底，并对其进行图形化以形成多个第一导电膜图形；

(b) 在步骤(a)之后的半导体衬底上、第一导电膜图形的侧壁上、以及第二绝缘膜上，制作第三绝缘膜，并在第三绝缘膜上制作第四绝缘膜；

(c) 在步骤(b)之后，在第四绝缘膜上，制作具有多个第一导电膜图形的相邻图形之间的第一窗口的掩模，并在第四绝缘膜比第三和第二绝缘膜更容易被腐蚀掉的条件下，对从掩模第一窗口暴露的第四绝缘膜进行腐蚀，以便在第四绝缘膜中形成第二窗口；以及

(d) 在步骤(c)之后，在第三绝缘膜比第一绝缘膜和第四绝缘膜更容易被腐蚀掉的条件下，对从第四绝缘膜的第二窗口暴露的第三绝缘膜进行各向异性腐蚀，以便在相邻的各个第一导电膜图形之间的第三绝缘膜中形成暴露半导体衬底上表面的第三窗口。

图1俯视图示出了根据本发明一个实施例制作了DRAM的整个半导体芯片。

图2是图1的DRAM的等效电路图。

图3是半导体衬底主要部分的剖面图，示出了图1的DRAM的存储器阵列和外围电路的分立部分。

图4是半导体衬底的示意俯视图，示出了图1的DRAM的存储器阵列部分。

图5(a)是沿图4中A-A线的主要部分的放大剖面图，而图5(b)是沿B-B线的主要部分的放大剖面图。

图6是半导体衬底主要部分的剖面图，示出了制造图1的DRAM的工艺。





图 7 是半导体衬底主要部分的剖面图，示出了图 6 之后的 DRAM 制造工艺。

图 8 是半导体衬底主要部分的剖面图，示出了图 7 之后的 DRAM 制造工艺。

图 9 是半导体衬底主要部分的剖面图，示出了图 8 之后的 DRAM 制造工艺。

图 10 是半导体衬底主要部分的剖面图，示出了图 9 之后的 DRAM 制造工艺。

图 11 是半导体衬底主要部分的剖面图，示出了根据本发明另一个实施例的制造 DRAM 的工艺。

图 12 是半导体衬底主要部分的剖面图，示出了图 10 之后的 DRAM 制造工艺。

图 13 是半导体衬底主要部分的剖面图，示出了图 12 之后的 DRAM 制造工艺。

图 14 是半导体衬底主要部分的剖面图，示出了图 13 之后的 DRAM 制造工艺。

图 15 是半导体衬底主要部分的剖面图，示出了图 14 之后的 DRAM 制造工艺。

图 16 是半导体衬底主要部分的剖面图，示出了图 15 之后的 DRAM 制造工艺。

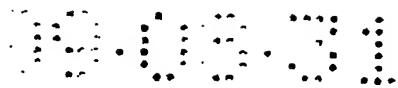
图 17 是半导体衬底主要部分的剖面图，示出了图 16 之后的 DRAM 制造工艺。

图 18 (a) 是图 17 制造步骤时，对应于图 4 中 A-A 线的半导体衬底主要部分的放大剖面图，而图 18 (b) 是图 17 制造步骤时，对应于图 4 中 B-B 线的半导体衬底主要部分的放大剖面图。

图 19 是半导体衬底主要部分的剖面图，示出了图 17 之后的 DRAM 制造工艺。

图 20 是图 19 制造步骤时，半导体衬底主要部分的放大剖面图。

图 21 是图 19 制造步骤时，沿横切图 20 的方向的半导体衬底主要



部分的剖面图。

图 22 是图 19 制造步骤时，半导体衬底主要部分的放大俯视图。

图 23 是半导体衬底主要部分的剖面图，示出了图 19 之后的 DRAM 制造工艺。

图 24 (a) 是图 23 制造步骤时，对应于图 4 中 A-A 线的半导体衬底主要部分的放大剖面图，而图 24 (b) 是图 23 制造步骤时，对应于图 4 中 B-B 线的半导体衬底主要部分的放大剖面图。

图 25 是半导体衬底主要部分的剖面图，示出了图 23 之后的 DRAM 制造工艺。

图 26 (a) 是图 25 制造步骤时，对应于图 4 中 A-A 线的半导体衬底主要部分的放大剖面图，而图 26 (b) 是图 25 制造步骤时，对应于图 4 中 B-B 线的半导体衬底主要部分的放大剖面图。

图 27 是图 25 制造步骤时，半导体衬底主要部分的放大俯视平面图。

图 28 是半导体衬底主要部分的剖面图，示出了图 25 之后的 DRAM 制造工艺。

图 29 是半导体衬底主要部分的剖面图，示出了图 28 之后的 DRAM 制造工艺。

图 30 是半导体衬底主要部分的剖面图，示出了图 29 之后的 DRAM 制造工艺。

图 31 是半导体衬底主要部分的剖面图，示出了图 30 之后的 DRAM 制造工艺。

图 32 是半导体衬底主要部分的剖面图，示出了图 31 之后的 DRAM 制造工艺。

图 33 是半导体衬底主要部分的剖面图，示出了图 32 之后的 DRAM 制造工艺。

图 34 是图 33 制造步骤时，半导体衬底主要部分的放大俯视平面图。

图 35 是半导体衬底主要部分的剖面图，示出了图 33 之后的 DRAM

制造工艺。

图 36 (a) 是图 35 制造步骤时, 对应于图 4 中 A-A 线的半导体衬底主要部分的放大剖面图, 而图 36 (b) 是图 35 制造步骤时, 对应于图 4 中 B-B 线的半导体衬底主要部分的放大剖面图。

图 37 是半导体衬底主要部分的剖面图, 示出了图 35 之后的 DRAM 制造工艺。

图 38 是半导体衬底主要部分的剖面图, 示出了图 37 之后的 DRAM 制造工艺。

图 39 是半导体衬底主要部分的剖面图, 示出了图 38 之后的 DRAM 制造工艺。

图 40 是半导体衬底主要部分的剖面图, 示出了图 39 之后的 DRAM 制造工艺。

图 41 是半导体衬底主要部分的剖面图, 示出了图 40 之后的 DRAM 制造工艺。

图 42 是半导体衬底主要部分的剖面图, 示出了图 41 之后的 DRAM 制造工艺。

图 43 是半导体衬底主要部分的剖面图, 示出了图 42 之后的 DRAM 制造工艺。

图 44 是半导体衬底主要部分的剖面图, 示出了图 43 之后的 DRAM 制造工艺。

图 45 是半导体衬底主要部分的剖面图, 示出了图 44 之后的 DRAM 制造工艺。

图 46 是半导体衬底主要部分的剖面图, 示出了图 45 之后的 DRAM 制造工艺。

图 47 是半导体衬底主要部分的剖面图, 示出了图 46 之后的 DRAM 制造工艺。

图 48 是半导体衬底主要部分的剖面图, 示出了图 47 之后的 DRAM 制造工艺。

图 49 是半导体衬底主要部分的剖面图, 示出了图 48 之后的 DRAM

制造工艺。

图 50 是半导体衬底主要部分的剖面图，示出了图 49 之后的 DRAM 制造工艺。

图 51 是半导体衬底主要部分的剖面图，示出了图 50 之后的 DRAM 制造工艺。

图 52 (a) 是当帽绝缘膜仅仅由氮化硅膜组成时，在制作连接孔的步骤之后的部分半导体衬底的剖面图，而图 52 (b) 是沿横切方向的部分半导体衬底的剖面图。

图 53 是当帽绝缘膜仅仅由氮化硅膜组成，但氮化硅膜不制作在半导体衬底上时，在制作连接孔的步骤之后的部分半导体衬底的剖面图。

下面参照附图，结合其实实施例来详细描述本发明。（此处，在所有描述实施例的附图中，借助于使用共同的参考号来表示具有相同的功能的元件而略去其重复的描述。）

图 1 是具有根据本实施例的 DRAM 的半导体芯片的整个俯视平面图。如所示，在由单晶硅制成的半导体芯片 1A 的主表面上，沿 X 方向（即沿半导体芯片 1A 的长边方向）和沿 Y 方向（即沿半导体芯片 1A 的短边方向），大量存储器阵列 MARY 排列成矩阵形状。读出放大器 SA 排列在沿 X 方向彼此相邻的存储器阵列 MARY 之间。在半导体芯片 1A 主表面的中心部分处，排列着字驱动器 WD、诸如数据线选择电路的控制电路、输入/输出电路、键合焊点等等。

图 2 是上述 DRAM 的等效电路图。如所示，组成此 DRAM 的存储器阵列 (MARY) 被构造成包括：多个沿行方向延伸的字线 WL ( $WL_{n-1}$ ,  $WL_n$ ,  $WL_{n+1}$ , ...); 多个沿列方向延伸的位线 BL; 以及排列在它们的交点处的多个存储器单元 (MC)。用来存储一位信息的一个存储器单元被构造成包括一个信息储存电容元件 C 和一个与电容元件 C 串联连接的存储器单元选择 MISFET  $Q_s$ 。存储器单元选择 MISFET  $Q_s$  的源和漏中一个被电连接到信息储存电容元件 C，而另一个被电连接到位线 BL。字线 WL 的一端被连接于字驱动器 WD，而位线 BL 的一端被连接于读出放大器 SA。

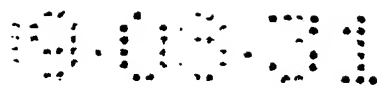


图 3 是半导体衬底主要部分的剖面图，示出了 DRAM 的存储器阵列和外围电路的分立部分；图 4 是半导体衬底的示意俯视图，示出了部分存储器阵列；图 5(a) 是沿图 4 中 A-A 线的放大剖面图，示出了存储器阵列的接触孔部分；而图 5(b) 是沿 B-B 线（即横切位线接触孔的线）和沿横切图 5(a) 的方向的放大剖面图（虽然略去了信息储存电容元件 C）。此处，图 4 仅仅示出了构成存储器单元的导电层（除平板电极外），而没有示出导电层与待要制作在存储器单元上的布线线条之间的绝缘膜。

DRAM 的存储器单元制作在由 p 型单晶硅制成的半导体衬底 1（即半导体芯片）的主表面上形成的 p 型阱 2 中。制作存储器单元的区域（即存储器阵列）的 p 型阱 2，通过制作在其下方的 n 型半导体区 3 而与半导体衬底 1 电隔离，以便防止噪声从制作在半导体衬底 1 的另一个区域中的输入/输出电路等处侵入。

存储器单元被构造成具有叠层结构，其中的信息储存电容元件 C 被安排在存储器单元选择 MISFET Qs 上。在图 4 中，此存储器单元选择 MISFET Qs 由 n 沟道型构成，并制作在由沿 X 方向（即列方向）直线延伸的细长岛状图形构成的有源区 L 中。在每个有源区 L 中，共用一个源和漏（即 n 型半导体区 9）的二个存储器单元选择 MISFET Qs，被制作成沿 X 方向彼此相邻。

包围有源区 L 的元件隔离区，由制作在 p 型阱 2 中的元件隔离沟槽 6 构成。在元件隔离沟槽 6 中，埋置有氧化硅膜 5，其表面被整平到与有源区 L 的表面的高度基本上相同。简而言之，建立了沟槽隔离。由这些元件隔离沟槽 6 这样形成的元件隔离区，在有源区 L 的端部处不形成鸟嘴，以致比用 LOCOS（即局部硅氧化）方法制作成具有相等尺寸的元件隔离区（即场氧化膜）来说，具有更大的有效面积。换言之，用元件隔离沟槽 6 形成的元件隔离区，由于能够用比场氧化膜结构的情况下小到能够消除不能有效地起元件隔离作用的鸟嘴这种程度的面积来实现元件隔离，从而能够改进元件集成度。

存储器单元选择 MISFET Qs 主要由栅绝缘膜 7、栅电极 8A、以

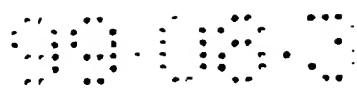


及一对形成源和漏的  $n$  型半导体区 9 和 9 构成。此栅绝缘膜 7 由氧化硅制成，其厚度为例如约为 8nm。

存储器单元选择 MISFET  $Q_s$  的（由第一导电膜图形组成的）栅电极 8A 与字线 WL 集成制作，并各自以相等的宽度和相等的间距沿 Y 方向直线延伸。栅电极 8A（即字线 WL）的宽度（亦即栅长度）和二个相邻的栅电极 8A（即字线 WL）的间距二者基本上等于照相分辨极限所决定的最小制作尺寸。此处，典型的栅电极 8A 宽度和二个相邻的栅电极 8A 之间的间距约为 220nm。

栅电极 8A 具有多晶-金属结构，此多晶-金属结构（poly-metal structure）构造成例如包括：掺有 P（磷）之类杂质的低阻多晶硅膜；多晶硅膜上的由 WN（氮化钨）之类组成的势垒金属膜；以及势垒金属膜上的由 W（钨）膜组成的难熔金属膜之类。多晶-金属结构组成的栅电极 8A（即字线 WL）具有比多晶硅膜或多硅化物（polycide）膜组成的栅电极更低的电阻（薄层电阻为  $1-2\Omega/\square$ ），以致能够降低字线中的信号延迟。结果，能够改进 DRAM 的存取速率。另一方面，能够增加待要连接到一个字线 WL 的存储器单元的数目，从而减小整个存储器区域所占据的面积，因而减小半导体芯片的尺寸。在此实施例如中，例如能够将 512 个存储器单元连接到字线 WL。比之字线 WL 连接 256 个存储器单元的情况，这可以减小大约 6-10% 的半导体芯片尺寸。结果，能够提高生产成品率，从而使 DRAM 成本下降。另一方面，若不改变半导体芯片的尺寸，则能够改进元件的集成度。此处，栅电极 8A 的最下层，亦即多晶硅膜的厚度为例如 100nm；上方氮化钨膜的厚度为例如 5nm；而上方钨膜的厚度为例如 50-100nm。

DRAM 的外围电路构造成包括  $n$  沟道 MISFET  $Q_n$  和  $p$  沟道 MISFET  $Q_p$ 。 $n$  沟道 MISFET  $Q_n$  制作在  $p$  型阱 2 中，且主要由栅绝缘膜 7、栅电极 8B、以及形成源和漏的一对  $n^+$  型半导体区 10 和 10 构成。另一方面， $p$  沟道 MISFET  $Q_p$  制作在  $n$  型阱 4 中，且主要由栅绝缘膜 7、栅电极 8C、以及形成源和漏的一对  $p^+$  型半导体区 11 和 11 构成。（第一导电膜图形组成的）栅电极 8B 和 8C 构造成具有与栅电



极 8A (即字线 WL) 相同的多晶-金属结构。构成外围电路的 n 沟道 MISFET Q<sub>n</sub> 和 p 沟道 MISFET Q<sub>p</sub> 根据存储器单元那样的宽松设计规则 (looser design rule) 来制造。在外围电路区中的各个 MISFET 中, 由于要求具有高的速度, 故在栅绝缘膜 7 处将 MISFET 制作成厚度约为例如 4nm, 这比存储器单元阵列中的 MISFET 的栅氧化膜更薄。

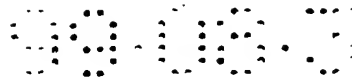
在存储器单元选择 MISFET Q<sub>s</sub> 的栅电极 8A (即字线 WL) 上, 制作有帽绝缘膜 12。在本实施例中, 此帽绝缘膜 12 由制作在栅电极 8A 上的氧化硅膜 (即第一绝缘膜) 12a 以及制作在氧化硅膜 12a 上的氮化硅膜 (即第二绝缘膜) 12b 组成的叠层膜 (也称为“叠层帽”) 构成。此氧化硅膜 12a 的厚度约为例如 100nm, 而氮化硅膜 12b 的厚度约为 40nm。然而, 这些氧化硅膜 12a 和氮化硅膜 12b 的厚度应该不局限于此, 而是可以做各种修正。下面将详细描述这些膜的厚度。

氧化硅膜 12a 具有例如下列第一至第三功能。第一功能是减轻热处理步骤引起的氮化硅膜 12b 的薄膜收缩, 致使能够抑制帽绝缘膜 12 制作之后可能由热处理引起的帽绝缘膜 12 的分离。

第二功能是, 在稍后描述的接触孔制作时用作腐蚀停止层。结果, 在制作接触孔时, 氧化硅膜 12a 不被腐蚀掉太多, 以致能够保持其厚度, 从而改善接触孔中导电膜与栅电极 8A 之间的击穿电压。另一方面, 能够减薄形成帽绝缘膜 12 的氮化硅膜 12b。因此, 能够减小制作氮化硅膜 12b 之后热处理引起的氮化硅膜 12b 的体积膨胀, 从而抑制氮化硅膜 12b 的分离。另一方面, 由于能够减薄氮化硅膜 12b, 故能够降低从半导体衬底 1 主表面到帽绝缘膜 12 上表面的高度, 从而减小上述接触孔的形状比。

第三功能是用作栅电极 8A 中钨膜的钝化膜。结果, 能够防止栅电极 8A 的钨薄膜在制造半导体集成电路器件的工艺中被氧化。另一方面, 在制作氧化硅膜 12a 之后, 能够减少对制造工艺过程中栅电极的钨膜氧化的考虑, 从而放宽 DRAM 的制造条件或环境条件。

另一方面, 形成帽绝缘膜 12 的氮化硅膜 12b 具有例如下列第一至第三功能。第一功能是, 在制作上述接触孔时用作腐蚀停止层。第二



功能是，在栅电极侧面和帽绝缘膜 12 侧壁上制作侧壁间隔时用作腐蚀停止层。利用此第一和第二功能，能够按准确位置制作精细的接触孔而没有任何短路麻烦。第三功能是，在制作栅电极时用作腐蚀掩模。在处理栅电极时，利用氮化硅膜 12b 作为腐蚀掩模，能够改进图形制作精度，从而在使用光刻胶膜时减少异物的产生。

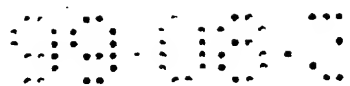
在此半导体衬底 1 上的存储器阵列中，制作薄的氮化硅膜（即第三绝缘膜）13，以覆盖帽绝缘膜 12 的表面、栅电极 8A（即字线 WL）的侧面、以及半导体衬底 1 的上表面。制作氮化硅膜 13 以反映衬底的台阶，且使其厚度约为例如 50nm。然而，此氮化硅膜 13 的厚度不应该局限于 50nm，而是可以更大。此厚度希望尽可能小，以便相邻的栅电极 8A 可以不完全埋置在氮化硅膜 13 中。简而言之，氮化硅膜 13 的厚度应该小于彼此相邻的栅电极 8A 之间的距离的一半。此处，氮化硅膜 13 不直接与半导体衬底 1 接触，而是在半导体衬底 1 的上表面与氮化硅膜 13 之间有一个薄的氧化膜。

另一方面，在外围电路的 MISFET 的各个栅电极 8B 和 8C 上，制作有帽绝缘膜 12。此帽绝缘膜 12 也有与前述相同的叠层帽结构。然而，在外围电路区中，由氮化硅膜 13 组成的侧壁间隔 13s 被制作在栅电极 8B 和上方帽绝缘膜 12 的侧壁上以及栅电极 8C 和上方帽绝缘膜 12 的侧壁上。

如以下将要描述的那样，存储器阵列的帽绝缘膜 12 和氮化硅膜 13 被用作在存储器单元选择 MISFET  $Q_s$  的源和漏（即 n 型半导体区 9 和 9）上自对准制作接触孔时的腐蚀停止层。另一方面，外围电路的侧壁间隔 13s 被用来制作 n 沟道 MISFET  $Q_n$  的源和漏中的以及 p 沟道 MISFET  $Q_p$  的源和漏中的轻掺杂区和重掺杂区。

在存储器单元选择 MISFET  $Q_s$  上、n 沟道 MISFET  $Q_n$  上、以及 p 沟道 MISFET  $Q_p$  上，分别制作 SOG（旋涂玻璃）膜（即第四绝缘膜）16。另一方面，在此 SOG 膜 16 上，制作二层氧化硅膜（即第四绝缘膜）17 和 18，其中的上层氧化硅膜 18 被整平成整个半导体衬底 1 上具有基本上同一高度的表面。





在形成存储器单元选择 MISFET Qs 的源和漏的成对的 n 型半导体区 9 和 9 上，制作通过氧化硅膜 18 和 17 以及 SOG 膜 16 延伸的接触孔 19 和 20。在这些接触孔 19 和 20 中，埋置由掺有 n 型杂质（例如 P（磷））的低阻多晶硅膜构成的栓 21。二个对着的栅电极 8A（即字线 WL）中的一个的侧壁的氮化硅膜 13 与另一个的侧壁的氮化硅膜 13 之间的间距，确定了接触孔 19 和 20 的各个底部沿 X 方向的直径。简而言之，接触孔 19 和 20 在与栅电极 8A（即字线 WL）的间距自对准的情况下被制作。而且，在此实施例中，帽绝缘膜 12 的氧化硅膜 12a 的上角（即氧化硅膜 12a 的侧面与上表面相交的部分）及其附近，从接触孔 19 和 20 的内部暴露（如图 5（a）所示）。当帽绝缘膜 12 仅仅由氮化硅膜组成时，在稍后描述的制作接触孔 19 和 20 的时候，清除对应于此上角的部分。结果，栅电极 8A 侧面上的氮化硅膜 13 的上部也被刮成较低的高度。此时，当帽绝缘膜被刮去太多时，就引起击穿电压缺陷。另一方面，若栅电极的上表面被暴露，则出现短路缺陷，因此，必须将帽绝缘膜加厚到能够消除这种缺陷的程度。在本实施例中，由于在制作接触孔 19 和 20 时能够留下氧化硅膜 12a 的上角部分，故能够在上角部分及其附近保持绝缘膜的厚度，从而改善其击穿电压。

在成对的接触孔 19 和 20 中，用来连接信息储存电容元件 C 的接触孔 20 的 Y 方向直径小于有源区 L 的直径。另一方面，用来连接位线 BL 的接触孔 19（亦即二个存储器单元选择 MISFET Qs 共用的 n 型半导体区 9 中的接触孔）的 Y 方向直径大于有源区 L 的直径。简而言之，接触孔 19 制作成（上端部分的）Y 方向直径大于 X 方向直径的通常矩形的俯视平面图形，并局部延伸在有源区 L 外面的元件隔离沟槽 6 上（如图 4 和 5 所示）。从接触孔 19 和 20 暴露的元件隔离区的上表面通常具有平坦的上表面。由于接触孔 19 制作在这种图形中，故当要通过接触孔 19 中的栓 21 电连接位线 BL 和 n 型半导体区 9 时，没有必要局部放大位线 BL 的宽度并使它们延伸到远达有源区 L 上，且没有必要沿位线 BL 方向局部延伸有源区 L，以致能够减小存储器单元的尺寸。



在氧化硅膜 18 上，制作氧化硅膜 28。在接触孔 19 上的这一氧化硅膜 28 中，制作其中埋置有按顺序由 Ti 膜、TiN 膜和 W 膜层叠而成的导电膜组成的栓 35 的通孔 22。在通孔 22 下方的埋置在接触孔 19 中的栓 35 与栓 21 之间的界面中，制作由形成部分栓 35 的 Ti 膜与形成栓 21 的多晶硅膜之间的反应生成的  $\text{TiSi}_2$ （硅化钛）层 37。通孔 22 分布在离开有源区 L 的元件隔离沟槽 6 上。

在氧化硅膜 28 上，制作位线 BL。这些位线 BL 排列在元件隔离沟槽 6 上，并以相等的宽度和相等的间距沿 X 方向直线延伸。位线 BL 由 W（钨）膜制成，并通过制作在氧化硅膜 28 中的通孔 22 和通过制作在下方绝缘膜（即氧化硅膜 28、18 和 17、SOG 膜 16 以及栅绝缘膜 7）中的接触孔 19，被电连接到存储器单元选择 MISFET Qs 的源和漏中的一个（即由二个存储器单元选择 MISFET Qs 共用的 n 型半导体区 9）。另一方面，位线 BL 的间距被尽可能加宽，以便能够尽可能减小相邻位线 BL 之间的寄生电容。

由于为了减小寄生电容而加大了位线 BL 的间距，故在读出储存在信息储存电容元件 C 中的电荷（即信息）时，即使减小了存储器单元的尺寸，也能够提高信号电压。另一方面，借助于加大位线 BL 的间距，能够充分地保持待要制作在稍后所述的位线 BL 的间距区中的通孔 48（即用来连接信息储存电容元件 C 和接触孔 20 的通孔）的窗口余量，致使位线 BL 和通孔 48，即使在减小了存储器单元尺寸时，也能够可靠地防止任何短路。

而且，借助于用金属（W）来制作，位线 BL 能够将其薄层电阻降低到大约  $2\Omega/\square$ ，致使能够高速读出和写入信息。另一方面，可以在同一步骤中同时制作位线 BL 和稍后描述的布线线条 23-26，致使能够简化 DRAM 的制造工艺。另一方面，借助于使金属（W）构成的位线 BL 具有高抗热性和抗电迁移性，即使其宽度被小型化时，也能够可靠地防止位线 BL 破裂。

在外围电路的氧化硅膜 28 上，制作第一布线线条 23-26。这些布线线条 23-26 由与位线 BL 相同的导电材料（W）制成，并如下所述，



与制作位线 BL 的步骤同时制作。布线线条 23-26 通过制作在氧化硅膜 28、18 和 17、以及 SOG 膜 16 中的接触孔 30-34，电连接于外围电路的 MISFET（即 n 沟道 MISFET  $Q_n$  和 p 沟道 MISFET  $Q_p$ ）。

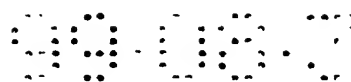
在用来连接外围电路的 MISFET 和布线线条 23-26 的接触孔 30-34 中，埋置按顺序由 Ti 膜、TiN 膜和 W 膜层叠而成的导电膜组成的栓 35。另一方面，在这些接触孔 30-34 中，制作在外围电路的 MISFET 的源和漏（即  $n^+$  型半导体区 10 和  $p^+$  型半导体区 11）上的接触孔（30-33），具有由形成部分栓 35 的 Ti 膜与半导体衬底 1（Si）之间的反应而形成在其底部的  $TiSi_2$  层 37，从而降低了栓 35 与源和漏（即  $n^+$  型半导体区 10 和  $p^+$  型半导体区 11）之间的接触电阻。

在位线 BL 和第一层布线线条 23-26 上，分别制作上面覆盖 SOG 膜 39 的氧化硅膜 38。此 SOG 膜 39 在整个半导体衬底 1 上被整平成基本上相等的高度。

在存储器阵列的 SOG 膜 39 上，制作上面覆盖信息储存电容元件 C 的氮化硅膜 44。此信息储存电容元件 C 构造成包括下电极（即储存电极）45、上电极（即平板电极）47 和制作在其间的  $Ta_2O_5$ （氧化钽）膜 46。下电极 45 由例如掺 P（磷）的低阻多晶硅膜组成，而上电极 47 由例如 TiN 膜组成。

信息储存电容元件 C 的下电极 45 制作在沿图 4 中的 X 方向直线延伸的细长图形中。下电极 45 通过埋置在经由氮化硅膜 44、SOG 膜 39 以及下方氧化硅膜 38 和 28 延伸的通孔 48 中的栓 49，与接触孔 20 中的栓 21 电连接，并通过栓 21 进一步与存储器单元选择 MISFET  $Q_s$  的其它源和漏（即 n 型半导体区 9）电连接。制作在下电极 45 与接触孔 20 之间的通孔 48 被制成具有比最小制作尺寸更小的直径（例如  $0.14\ \mu m$ ），以便确保防止与位线 BL 或下方的栓 35 短路。埋置在通孔 48 中的栓 49 由例如掺 P（磷）的低阻多晶硅膜制成。

在外围电路的 SOG 膜上，制作氧化硅膜 50，其厚度大，以便高度基本上等于信息储存电容元件 C 的下电极 45 的高度。由于外围电路的氧化硅膜 50 具有如此大的厚度，故待要制作在信息储存电容元件



C 上的层绝缘膜 56 的表面在存储器阵列和外围电路处具有基本上相同的高度。

在信息储存电容元件 C 上，制作其上覆盖第二层布线线条 52 和 53 的层绝缘膜 56。层绝缘膜 56 由氧化硅膜组成，而第二层布线线条 52 和 53 由主要由 Al（铝）组成的导电膜构成。制作在外围电路中的第二层布线线条 53，通过制作在下方绝缘膜（即层绝缘膜 56、氧化硅膜 50、SOG 膜 39 和氧化硅膜 38）中的通孔 54，与第一层布线线条 26 电连接。在通孔 54 中，埋置由例如 Ti 膜、TiN 膜和 W 膜组成的栓 55。

在第二层布线线条 52 和 53 上，制作其上覆盖第三层布线线条 57、58 和 59 的第二层绝缘膜 63。层绝缘膜 63 由氧化硅基绝缘膜（例如由氧化硅膜、SOG 膜和氧化硅膜组成的三层结构绝缘膜）构成，并与第二层布线线条 52 和 53 相似，第三层布线线条 57、58 和 59 由主要由 Al 制成的导电膜构成。

第三层布线线条 58 通过制作在下方层绝缘膜 63 和 56 中的通孔 60，与信息储存电容元件 C 的上电极 47 电连接，而外围电路的第三层布线线条 59，通过制作在下方层绝缘膜 63 中的通孔 61，与第二层布线线条 53 电连接。在这些通孔 60 和 61 中，埋置由 Ti 膜、TiN 膜和 W 膜组成的栓 62。

此处参照图 5 来描述上述帽绝缘膜 12 的氧化硅膜 12a 和氮化硅膜 12b 的厚度。此处，图 5 的参考号 D 表示 SOG 膜 16 从半导体衬底 1 上的氮化硅膜 13 的上表面到栅电极 8A 上的氮化硅膜 13 的上表面的厚度。

首先，下面描述氮化硅膜 12b 的厚度。此氮化硅膜 12b 在制作接触孔 19 和 20 时，需要起到腐蚀停止层的作用。具体地说，在 SOG 膜 16 的部分厚度 D 被腐蚀掉以便开凿接触孔 19 和 20 时，此氮化硅膜 12b 和 13 必须不被清除。因此，忽略过腐蚀，必须满足关系  $D/\text{第一选择比} < \text{氮化硅膜 12b 的厚度} + \text{氮化硅膜 13 的厚度}$ 。此处假设厚度  $D = \text{氮化硅膜 12b 的厚度} + \text{氧化硅膜 12a 的厚度} + \text{栅电极 8A 的厚度}$ ，且第一选择比最小可以约为 8。若将这些引入上述关系，则此关系可表示



为：氮化硅膜 12b 的厚度 + 氮化硅膜 13 的厚度 > (氮化硅膜 13 的厚度 + 氧化硅膜 12a 的厚度 + 栅电极 8A 的厚度) / 8。第一选择比是 SOG 膜 16 以及绝缘膜 17 和 18 的腐蚀速率对氮化硅膜 12b 的腐蚀速率之比值。

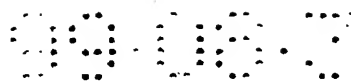
以下描述氧化硅膜 12a 的厚度。此氧化硅膜 12a 在清除氮化硅膜 13 以便形成接触孔 19 和 20 时，必须起腐蚀停止层的作用。因此，忽略过腐蚀，必须满足关系：氧化硅膜 12a 的厚度 > (氮化硅膜 13 的厚度 / 第二选择比)。此处，第二选择比是氮化硅膜的腐蚀速率对氧化硅膜的腐蚀速率的比值，且当氧化硅膜 12a 由等离子体 TEOS (四乙基氧硅烷) 构成时，此比值约为 3。若将此比值引入上述关系，则此关系可表示为：氧化硅膜 12a 的厚度 > (氮化硅膜 13 的厚度 / 3)。

下面按步骤的顺序来描述这样构造的 DRAM 的制造工艺。

首先，如图 6 所示，在由电阻率约为  $10\Omega\text{cm}$  的 p 型单晶硅制成的半导体衬底 (在此阶段即半导体晶片) 的主表面的元件隔离区中，制作元件隔离沟槽 6。这些元件隔离沟槽 6 是用对半导体衬底 1 的表面进行腐蚀以形成深度约为 300-400nm 的沟槽、用 CVD 方法在包括沟槽内部的半导体衬底 1 上淀积氧化硅膜 5、并用化学机械抛光 (CMP) 方法对氧化硅膜 5 进行回抛光的方法制作的。

接着，如图 7 所示，借助于用例如 P (磷) 离子在用来形成存储器单元的区域 (即存储器阵列) 中对半导体衬底 1 进行掺杂的方法，制作 n 型半导体区 3。然后，借助于用例如 B (硼) 对存储器阵列和外围电路的部分区域 (用来形成 n 沟道 MISFET  $Q_n$  的区域) 进行掺杂的方法，制作 p 型阱 2，并借助于用例如 P (磷) 对其余部分 (用来形成 p 沟道 MISFET  $Q_p$  的部分) 进行掺杂的方法，制作 n 型阱 4。

然后，借助于利用用来调节 MISFET 的阈值电压的  $\text{BF}_2$  (氟化硼) 之类的杂质对 p 型阱 2 和 n 型阱 4 进行掺杂、用 HF (氢氟酸) 基清洗液清洗 p 型阱 2 和 n 型阱 4 的各个表面、以及对半导体衬底 1 进行湿法氧化的方法，在 p 型阱 2 和 n 型阱 4 的各个表面上制作厚度约为 8nm 的清洁的栅绝缘膜 7。



接着, 如图 8 所示, 用 CVD 方法在半导体衬底 1 上, 淀积厚度约为 100nm 的借助于用 P (磷) 之类的杂质对栅绝缘膜 7 进行掺杂而得到的多晶硅膜 (即第一导电膜) 8s。

然后, 用轻度腐蚀处理方法清除天然氧化膜, 再用溅射方法, 在多晶硅膜 8s 上淀积例如由厚度约为 5nm 的由 WN (氮化钨) 膜组成的势垒金属膜 (即第一导电膜) 8bm 和厚度约为 100nm 的由 W (钨) 膜组成的难熔金属膜 (即第一导电膜) 8m。此处, 势垒金属膜 8bm 用作势垒层, 用来防止 W 膜与多晶硅膜在高温热处理时发生反应而在其间界面中形成高阻硅化物层。此势垒金属膜 8bm 可以由例如 TiN (氮化钛) 膜构成。

之后, 用采用 TEOS 气体的等离子体 CVD 方法, 在难熔金属膜 8m 上淀积例如厚度约为 100nm 的氧化硅膜 12a。由于可以在制造室中于低温 (例如大约 400℃) 下夹杂很少氧而进行膜化处理, 致使难以氧化难熔金属膜 8m, 故使用等离子体 CVD 方法来处理氧化硅膜 12a 的淀积。此处, 可以用大约 400℃ 的热 CVD 方法来制作氧化硅膜 12a。为了防止难熔金属膜 8m 被氧化, 借助于将诸如 TEOS 气体或硅烷气体 ( $\text{SiH}_4$ ) 之类的含硅气体引入处理室, 然后将含氧的气体引入处理室, 或者如上面所规定的那样, 将含硅的气体 and 含氧的气体同时引入处理室, 来执行这一修正。在淀积氧化硅膜 12a 的步骤之后, 可以执行制造工艺而不太考虑难熔金属膜 8m 的氧化问题, 致使能够放宽制造和环境条件, 从而方便制造工艺。

在此实施例中, 在涂敷氧化硅膜 12a 之后, 在例如氮气气氛中, 于 800℃ 下, 对半导体衬底 1 进行大约 1 分钟的热处理。这使得有可能减弱难熔金属膜 8m 或势垒金属膜 8bm 中的应力, 并使势垒金属膜 8bm 致密, 从而改善抗清洗能力。

除非进行热处理以使势垒金属膜 8bm 致密, 否则, 在帽绝缘膜制作步骤之后的轻度氧化之前的清洗处理时, 势垒金属膜 8bm 会被腐蚀掉, 从而引起难熔金属膜 8m 被分离的问题。这使得必须至少在清洗处理之前进行热处理。但在帽绝缘膜仅仅由氮化硅组成的技术的情况



下，从防止难熔金属膜 8m 被氧化的观点看，避免在其刚刚涂敷之后对难熔金属膜 8m 进行热处理是可取的。在此技术中，在涂敷帽绝缘膜的氮化硅膜之后，对此氮化硅膜进行热处理。但若此氮化硅膜很厚，则出现氮化硅膜被分离的问题。这一分离的原因是难熔金属膜 8m 的热膨胀系数比绝缘膜大一个数量级或更多。当氮化硅膜变厚时，此分离问题变得更为严重。这是由于氮化硅膜使更厚的膜的体积变化更大。

然后，用例如厚度约为 100-150nm 的氮化硅膜 12b 涂敷于氧化硅膜 12a 上。等离子体 CVD 方法、低压 CVD 方法或 PECVD 方法是典型的制作氧化硅膜 12a 的方法。当用低压 CVD 方法制作氮化硅膜 12b 时，能够改善其质量。另一方面，由于已经用氧化硅膜 12a 涂敷并保护了难熔金属膜 8m 的表面，故能够制作氮化硅膜 12b 而不必太考虑难熔金属膜 8m 的氧化，致使在制作氮化硅膜 12b 时能够放宽诸如装料密封室中的抽气条件之类的制造和环境条件。

之后，在氮化硅膜 12b 上，制作用来形成栅电极的光刻胶图形 R1。利用采用例如波长为 248nm 的 KrF 准分子激光器的曝光技术和移相技术，来制作这一用来制作存储器单元选择 MISFET Qs 的栅电极 8A（即字线 WL）的光刻胶图形 R1。然后，如图 9 所示，光刻胶图形 R1 被用作腐蚀处理以形成具有栅电极形状（即存储器单元阵列中的字线形状）的氮化硅膜 12b 的腐蚀掩模。这一腐蚀处理采用例如氟基气体。

然后，清除光刻胶图形 R1，并如图 10 所示，用图形化了的氮化硅膜 12b 作为腐蚀掩模，对氧化硅膜 12a、难熔金属膜 8m、势垒金属膜 8bm 和多晶硅膜 8s 进行图形化，以便在栅绝缘膜 7 上形成栅电极 8A（即字线 WL）、栅电极 8B 和 8C 以及帽绝缘膜 12。在这一腐蚀处理中，用例如氯和氧的混合气体来制作难熔金属膜 8m。在用此气体进行腐蚀处理的过腐蚀处理中，多晶硅的腐蚀速率约为钨的腐蚀速率的三倍，致使多晶硅膜 8s 被明显地腐蚀掉。采用通常使用的氯基或溴基气体，在保持对薄的氧化膜较高的选择比的情况下，其余的多晶硅膜被腐蚀掉。

于是，在此实施例中，用来形成帽绝缘膜 12 的氮化硅膜 12b 被用





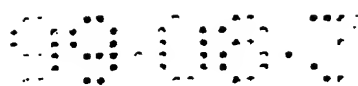
作腐蚀掩模以形成栅电极 8A (即字线 WL) 以及栅电极 8B 和 8C。通常, 利用光刻胶图形 R1 作为腐蚀掩模来对栅电极进行图形化。当制作由难熔金属膜 8m、势垒金属膜 8bm 和多晶硅膜 8s 组成的栅电极时, 若光刻胶图形被用作腐蚀掩模, 在腐蚀处理过程中, 光刻胶图形可能变形, 从而降低图形制作精度。另一方面, 部分光刻胶图形可能被清除或分离成异物, 从而引起半导体集成电路器件可靠性或成品率下降。当帽绝缘膜 (包括氮化硅膜 12b 和氧化硅膜 12a) 被用作腐蚀掩模时, 它既不变形也不分离成异物。这使得不仅有可能改善栅电极的图形制作精度, 而且有可能改善半导体集成电路器件的可靠性或成品率。

现在, 在制作栅电极的这一腐蚀处理时, 氮化硅膜 12b 的上部被腐蚀掉, 致使被这样处理过的氮化硅膜 12b 变成比制作时稍薄大约 40nm。为了减小氮化硅膜 12b 被腐蚀掉的量, 可以采取下列方法。首先, 制作氮化硅膜 12b 的涂层, 然后用 CVD 方法之类, 在其上涂敷氧化硅膜。接着, 形成光刻胶图形 R1, 并用作腐蚀掩模, 以便对氧化硅膜和氮化硅膜 12b 进行图形化, 从而如图 11 所示, 对栅电极形状 (即存储器单元阵列中的字线形状) 的氮化硅膜 12b 和上方的氧化硅膜 12m 进行图形化。此后, 清除光刻胶 R1, 并用图形化的氮化硅膜 12b 和氧化硅膜 12m 作为腐蚀掩模, 对栅电极 8A 等进行图形化。此时, 氧化硅膜 12m 能够保护下方的氮化硅膜 12b, 从而减小其被腐蚀掉的量, 致使氮化硅膜 12b 能够保持其厚度。此处, 在制作栅电极 8A 等之后, 氧化硅膜 12m 可以留在也可以不留在氮化硅膜 12b 上。

然后, 用含过氧化氢 ( $H_2O_2$ ) 的洗液清洗半导体衬底 1, 以便特别是从半导体衬底 1 的背面清除颗粒。此时, 如上所述, 势垒金属膜 8bm 被致密化, 使之不被清除。然后, 对半导体衬底 1 进行前述的轻度氧化处理, 使氧化膜形成在栅电极 8 等的端部, 以修补等离子体损伤。

接着, 如图 12 所示, 用例如 B (硼) 离子, 对 n 型阱 4 进行掺杂, 以便在栅电极 8C 二侧上的 n 型阱 4 中形成 p 型半导体区 15。另一方面, 用例如 P (磷) 离子, 对 p 型阱 2 进行掺杂, 以便在栅电极 8A 二





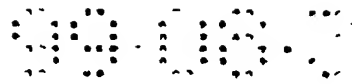
側上的 p 型阱 2 中形成 n 型半导体区 9a 和在栅电极 8B 二側上的 p 型阱 2 中形成 n 型半导体区 14。在步骤的这一阶段，基本上完成了存储器单元选择 MISFET Qs。

接着，如图 13 所示，用 CVD 方法在半导体衬底 1 上淀积厚度约为 50nm 的氮化硅膜 13。然后，用光刻胶膜涂敷存储器阵列的氮化硅膜 13，并对外围电路的氮化硅膜 13 进行各向异性腐蚀，以便在外围电路的栅电极 8B 和 8C 的側壁上形成側壁间隔 13s。利用以高选择比对氮化硅膜 13 进行腐蚀的气体来执行这一腐蚀，使埋置在元件隔离沟槽 6 中的氧化硅膜 5 和栅绝缘膜 7 的刮去量尽可能小。另一方面，为了使栅电极 8B 和 8C 上的氮化硅膜 12 的刮去量尽可能小，过腐蚀量被保持在必须的最小值。

接着，如图 14 所示，用例如 B（硼）离子，对外围电路的 n 型阱 4 进行掺杂，以便形成与側壁间隔 13s 自对准的 p 沟道 MISFET Qp 的 p<sup>+</sup>型半导体区 11（即源和漏）。并用例如 As（砷）离子，对外围电路的 p 型阱 2 进行掺杂，以便形成与側壁间隔 13s 自对准的 n 沟道 MISFET Qn 的 n<sup>+</sup>型半导体区 10（即源和漏）。在步骤的这一阶段，p 沟道 MISFET Qp 和 n 沟道 MISFET Qn 配备有轻度掺杂区和重掺杂区。

接着，如图 15 所示，将厚度约为 300nm 的 SOG 膜 16 旋涂到半导体衬底 1，并在大约 400℃ 的含水汽的氧气氛中进行烘焙，然后进行大约 1 分钟的 800℃ 热处理，使之致密。此 SOG 膜 16 由例如聚硅氮烷基无机 SOG 组成。

SOG 膜 16 具有比玻璃流动膜更高的回流性，致使具有优良的填充精细间隔的性质。因此，即使被埋置在小型化到光刻分辨限的栅电极 8A（即字线 WL）的间隔中，此 SOG 膜 16 也不形成空洞。另一方面，即使没有高温长时间的热处理，此 SOG 膜 16 也具有高的回流性，致使能够借助于抑制已经结合在存储器单元选择 MISFET Qs 的源和漏或外围电路的 MISFET（例如 n 沟道 MISFET Qn 和 p 沟道 MISFET Qp）的源和漏中的杂质的热扩散而实现浅结。而且，在热处理时，形



成栅电极 8A (字线 WL) 以及栅电极 8B 和 8C 的难熔金属膜 (即 W 膜) 能够抑制氧化, 从而实现高性能的存储器单元选择 MISFET Qs 和外围电路的 MISFET。此处, 可以借助于涂敷硼/磷硅酸盐玻璃 (BPSG), 随之以回流处理, 并用 CMP 方法整平涂层的上表面而制作层绝缘膜, 或借助于制作仅仅由 SOG 膜组成的层绝缘膜, 来代替由 SOG 膜 16 以及上方氧化硅膜 17 和 18 所组成的层绝缘膜的制作。

接着, 如图 16 所示, 在 SOG 膜 16 上淀积厚度约为 600nm 的氧化硅膜 17, 然后用 CMP 方法抛光以整平其表面。之后, 在整平了的氧化硅膜 17 上, 淀积厚度约为 100nm 的氧化硅膜 18。淀积这一上方氧化硅膜 18 是为了修补下方氧化硅膜 17 的表面中由 CMP 方法在抛光时引起的细小伤痕。此处, 从栅绝缘膜 7 的上表面到氧化硅膜 18 的上表面的厚度约为例如 550nm。

然后, 如图 17 和 18 所示, 清除存储器单元选择 MISFET Qs 的 n<sup>-</sup>型半导体区 (即源和漏) 9a 上的氧化硅膜 18 和 17 以及 SOG 膜 16, 以便借助于用具有第一窗口的光刻胶膜 27 作为掩模的干法腐蚀处理, 来形成第二窗口。利用以高的选择比腐蚀氧化硅膜 17 的气体来执行这一腐蚀处理, 以便防止氧化硅膜 17 下方的氮化硅膜 13 被腐蚀掉。具体地说, 在氧化硅膜比氮化硅膜更容易被腐蚀掉的条件下, 执行腐蚀处理以形成接触孔 19a 和 20a。此时, 氧化硅膜与氮化硅膜之间的腐蚀选择比约为 1: 8-10。

图 18 (a) 放大剖面图示出了此腐蚀步骤之后存储器单元的主要部分并对应于图 4 中的 A-A 线, 而图 18 (b) 放大剖面图示出了此腐蚀步骤之后的主要部分并对应于图 4 中的 B-B 线。此处, 如图 18 (a) 所示, 在腐蚀过程中, 帽绝缘膜 12 的氧化硅膜 12a 不暴露。另一方面, 腐蚀处理被终止以留下栅电极 8A 之间的氮化硅膜 13。由于氧化硅膜 12a 和 SOG 膜 16 由相同的材料组成, 故腐蚀操作从氧化硅膜 12a 被暴露的部分进展到暴露栅电极 8A 的上表面。

另一方面, 如图 18 (b) 所示, 半导体衬底 1 的氮化硅膜 13 此时用作腐蚀停止层并被留在半导体衬底 1 上。此处, 图 52 示出了不形成



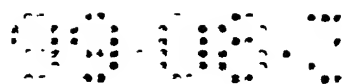
氮化硅膜 13 的情况，其中，由于埋置在元件隔离沟槽 101 中的绝缘膜 102 是由与 SOG 膜 100 相同的材料组成的，故在 SOG 膜 100 被腐蚀掉时，埋置的绝缘膜 102 的上部被腐蚀掉，从而形成凹陷 103。在此实施例中，如上所述，接触孔 19 空间上覆盖元件隔离沟槽，因而，前述能够避免埋置的绝缘膜凹陷的技术是有效的。另一方面，即使在接触孔 19 不被设计成空间上覆盖元件隔离沟槽的结构的情况下，借助于接触孔 19 的空间位置偏移，也可以使接触孔 19 覆盖元件隔离沟槽。这样，能够解决凹陷造成的不良元件问题的本实施例就是一种有效的技术。

接着，如图 19、20、21 和 22 所示，借助于用前述光刻胶膜 27 作为掩模以便在 n 型半导体区（即源和漏）9a 上形成第三窗口的干法腐蚀处理，清除氮化硅膜 13 和下方的栅绝缘膜 7，以便形成暴露 n 型半导体区（即源和漏）9a 的表面的接触孔 19 和 20。这一腐蚀处理被终止，以便在栅电极 8A 上留下氧化硅膜 12a。图 20 放大剖面图示出了此处理之后沿图 4 中的 A-A 线的主要部分；图 21 放大剖面图示出了此处理之后沿图 4 中的 B-B 线的主要部分；而图 22 俯视平面图示出了此处理之后的存储器单元的主要部分。

氮化硅膜 13 的这一腐蚀处理使用对其以高选择比进行腐蚀的气体，以便尽可能减小半导体衬底 1 和元件隔离沟槽 6 的刮去量。简而言之，在氮化硅膜比氧化硅膜更容易被腐蚀掉的条件下，执行这一腐蚀处理。此时，氧化硅膜与氮化硅膜之间的腐蚀选择比约为 1: 3。

另一方面，执行此腐蚀处理以便各向异性地腐蚀氮化硅膜 13，从而在栅电极 8A（即字线 WL）的侧壁上留下氮化硅膜 13。结果，能够自对准于栅电极 8A（即字线 WL）的间隔而形成底部直径（即 X 方向直径）小到光刻分辨限或更小的接触孔 19 和 20。

此处，图 53 示出了用来进行比较的情况，其中，帽绝缘膜 104 仅仅由氮化硅膜构成。此时，当从半导体衬底 106 清除氮化硅膜 107 以形成接触孔 105 时，栅电极 108 上表面和侧面上的帽绝缘膜 104 和氮化硅膜 107 可能也被清除，从而将栅电极 108 的上表面暴露于外面。



这使得在考虑到腐蚀终止点的高探测精度和防止击穿电压缺陷或栅电极暴露等要求的情况下，必须加厚帽绝缘膜。但根据我们的研究结果，已经发现，帽绝缘膜厚度的增大引起接触孔形状比的增大，致使难以将导电膜埋置在接触孔中，从而增大次品的百分比，并在制作帽绝缘膜之后，热处理使帽绝缘膜分离或隆起的问题很严重。

还有，在此实施例中，当半导体衬底 1 上的氮化硅膜 13 被清除以暴露半导体衬底 1 的上表面时，栅电极 8A 上表面和侧面上的氮化硅膜 12b 和 13，由于由相同的材料组成，也被腐蚀掉。结果，在腐蚀进行时，栅电极 8A 上的氧化硅膜 12a 被局部暴露。然而，由于这一腐蚀处理被调整成氮化硅膜更容易被腐蚀掉，故氧化硅膜 12a 起腐蚀停止层的作用，致使它不被清除太多。图 20 示意地示出了这一腐蚀之后的状态，从接触孔 19 和 20 暴露的氧化硅膜 12a 的上角（氧化硅膜 12a 的上表面与侧面相交处）和附近的氧化硅膜 12a 不被清除而留下。于是，就保持了栅电极 8A 侧面上的氧化硅膜 13 的高度。这保持了绝缘膜的厚度以覆盖栅电极 8A 的上角（难熔金属膜 8m 的上表面与侧面相交处），亦即，待要埋置在接触孔 19 中的导电膜与栅电极 8A 之间的距离被拉长，致使能够改善击穿电压。因此，能够减薄帽绝缘膜 12 以降低从半导体衬底 1 的上表面到帽绝缘膜 12 的上表面的高度。当帽绝缘膜 12 仅仅由例如氮化硅膜构成时（如图 53 所示），若稍后描述的氮化硅膜 13 的厚度以  $A$  表示，则必须保持关系： $A \times (1 + \text{干法过腐蚀比}) \times (1 + \text{干法分散比})$ 。借助于在此关系中引入 40% 的干法过腐蚀比、20% 的干法分散比和  $A = 50\text{nm}$ ，仅仅由氮化硅构成的帽绝缘膜的厚度必须是约为  $84\text{nm}$ 。另一方面，在此实施例的叠层帽的情况下，由于制作接触孔时的选择比约为 3，故氮化硅膜 12b 下方的氧化硅膜 12a 的刮去量可以保持为  $84/3 = 28\text{nm}$ 。因此，叠层帽能够将从半导体衬底 1 的上表面到帽绝缘膜 12 的上表面的高度降低  $56\text{nm}$ （ $= 84 - 28$ ）。结果，能够减小接触孔 19 和 20 的形状比以便将导电膜容易地埋置在接触孔 19 和 20 中，从而避免导电膜埋置不充分。因此，能够避免接触孔 19 和 20 中的电阻或导电缺陷的增加，从而改善半导体集成电路器



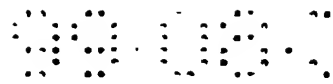
件的可靠性和成品率。

另一方面，在此实施例中，接触孔 19 的俯视平面图具有矩形形状并覆盖元件隔离沟槽 6。因此，当从接触孔 19 暴露的氮化硅膜 13 被清除时，元件隔离沟槽 5 的上表面也被暴露。然而，元件隔离沟槽 6 中的埋置绝缘膜由于是由氧化硅膜 5 构成的，故在其腐蚀处理中不被清除太多。图 21 示意地示出了这一行为，其中，从接触孔 16 底部暴露的元件隔离沟槽 6 的上表面未被刮去太多而留下。

接着，清除光刻胶膜 27，再用氢氟酸基腐蚀液（例如氢氟酸与氯化铵的混合液）清洗暴露于接触孔 19 和 20 底部的半导体衬底 1 的表面，以清除干法腐蚀残留物或光刻胶残留物。此时，暴露于接触孔 19 和 20 侧壁的 SOG 膜 16 也被暴露于腐蚀液。然而，在高达大约 800℃ 温度下致密化了的 SOG 膜 16 具有比未被致密化的 SOG 膜更高的抗氢氟酸的性质，致使接触孔 19 和 20 的侧壁不被湿法处理严重地凹切。结果，有可能可靠地防止下一步骤中埋置在接触孔 19 和 20 中的各个栓 21 之间的短路。

另一方面，在制作这些接触孔 19 和 20 之后，用杂质（例如磷）通过接触孔 19 和 20 对 p 型阱 2 进行掺杂，以便在比存储器单元选择 MISFET Qs 的源和漏更深区域的 p 型阱 2 中形成 n 型半导体层。此 n 型半导体层能够有效地减弱集中在源和漏的端部处的电场，致使能够降低源和漏的端部处的漏电流，从而改善存储器单元的刷新特性。

接着，如图 23 和 24 所示，在接触孔 19 和 20 中制作栓 21。此处，图 24 (a) 放大剖面图示出了此处理之后沿图 4 中 A-A 线的主要部分，而图 24 (b) 放大剖面图示出了沿图 4 中 B-B 线的主要部分。栓 21 的制作方法是，用 CVD 方法在氧化硅膜 18 上淀积用杂质（例如 As（砷））掺杂的厚度约为 300nm 的多晶硅膜，然后用 CMP 方法抛光多晶硅膜使其留在接触孔 19 和 20 中。在此实施例中，利用插入在栓 21 和栅电极 8A 之间的氧化硅膜 12a，可以改善击穿电压。另一方面，由于氧化硅膜 12a 具有比氮化硅膜更低的介电常数，故可降低栓 21 和栅电极 8A 之间的绝缘膜的介电常数，从而减小寄生电容。



然后，用 CVD 方法，在氧化硅膜 18 上淀积厚度约为 200nm 的氧化硅膜 28，再在氮气气氛中，于 800℃ 下进行大约 1 分钟的热处理。利用这一热处理，形成栓 21 的多晶硅膜中的杂质从接触孔 19 和 20 的底部扩散进入存储器单元选择 MISFET Qs 的 n 型半导体区 9a，从而形成低阻 n 型半导体区（即源和漏）9。

接着，如图 26 所示，用干法腐蚀处理方法，利用光刻胶膜 R2 作为掩模，清除接触孔 19 上的氧化硅膜 28，从而形成通孔 22。这些通孔 22 排列在远离有源区 L 的元件隔离沟槽 6 上。此处，图 26 (a) 放大剖面图示出了此处理之后沿图 4 中 A-A 线的主要部分；图 26 (b) 放大剖面图示出了此处理之后沿图 4 中 B-B 线的主要部分；图 27 俯视图示出了此处理之后的存储器单元阵列的主要部分。

然后，如图 25 所示，用干法腐蚀处理方法，利用光刻胶膜 R3 作为掩模，清除外围电路的氧化硅膜 28、18 和 17、SOG 膜 16 以及栅绝缘膜 7，从而在 n 沟道 MISFET Qn 的 n<sup>+</sup>型半导体区 10（即源和漏）上形成接触孔 30 和 31，并在 p 沟道 MISFET Qp 的 p<sup>+</sup>型半导体区 11 上形成接触孔 32 和 33。另一方面，与此同时，在 p 沟道 MISFET Qp 的栅电极 8C 上形成接触孔 34，并在 n 沟道 MISFET Qn 的栅电极 8B 上形成未示出的接触孔。这些接触孔 30-34 必须制作成相对于元件隔离区保留不至于覆盖元件隔离区的余量。

借助于在不同的步骤中如此执行用来形成通孔 22 的腐蚀处理和用来形成接触孔 30-34 的腐蚀处理，有可能在制作外围电路的深接触孔 30-34 时，防止暴露于存储器阵列的浅通孔 22 底部的栓 21 被过深地刮去。此处，可以将上述制作通孔 22 和接触孔 30-34 的顺序任意倒转。

接着，如图 28 所示，在含有接触孔 30-34 和通孔 22 的氧化硅膜 28 上淀积厚度约为 40nm 的 Ti 膜 36。用诸如准直溅射之类的高度方向性溅射方法，将此 Ti 膜 36 淀积成甚至能够在高形状比的接触孔 30-34 的底部保持约为 10nm 或更大的厚度。

然后，在 Ar（氩）气氛中，于 650℃ 下对 Ti 膜 36 进行大约 30 秒钟的热处理（不暴露于大气），并在氮气气氛中，于 750℃ 下进一步进行



大约 1 分钟的热处理。如图 29 所示，此热处理引起接触孔 30-34 底部的 Si 衬底与 Ti 膜 36 之间发生反应，从而在 n 沟道 MISFET Q<sub>n</sub> 的 n<sup>+</sup> 型半导体区 10（即源和漏）的表面上和 p 沟道 MISFET Q<sub>p</sub> 的 p<sup>+</sup> 型半导体区 11（即源和漏）上，形成厚度约为 10nm 的 TiSi<sub>2</sub> 层 37。另一方面，利用前述氮气氛中的热处理，淀积在接触孔 30-34 的侧壁上的薄的 Ti 膜 36 被氮化成难以与 Si 反应的稳定膜。

此处，氧化硅膜 28 上的 Ti 膜 36 的表面此时也被氮化，但其余部分不被氮化而保持不反应。另一方面，在通孔 22 底部的栓 21 的表面上（如图 26 所示），借助于形成栓 21 的多晶硅膜与 Ti 膜 36 之间的反应而形成 TiSi<sub>2</sub> 膜 37。

借助于在接触孔 30-33 的底部形成 TiSi<sub>2</sub> 层 37，下一步骤要制作栓 35 的接触孔 30-33 中的部分以及外围电路接触的 MISFET 的源和漏（即 n<sup>+</sup> 型半导体区 10 和 p<sup>+</sup> 型半导体区 11）的接触电阻，可以被降低到 1K  $\Omega$  或更低，致使诸如读出放大器 SA 或字驱动器 WD 之类的外围电路能够高速工作。接触孔 30-33 底部的硅化物层也可以由诸如 CoSi<sub>2</sub>（硅化钴）、TaSi<sub>2</sub>（硅化钽）或 MoSi<sub>2</sub>（硅化钼）之类的 TiSi<sub>2</sub> 之外的难熔金属硅化物构成。

接着，如图 30 所示，用 CVD 方法，在 Ti 膜 36 上淀积厚度约为 30nm 的 TiN 膜 40。此 CVD 方法具有优于溅射方法的台阶覆盖性，致使能够淀积厚度基本上等于高形状比接触孔 30-34 底部的平坦部分的厚度的 TiN 膜 40。接着，用 CVD 方法，采用六氟化钨（WF<sub>6</sub>）、氢和单硅烷（SiH<sub>4</sub>）作为源气体，在 TiN 膜 40 上淀积厚度约为 300nm 的厚 W 膜 41，以使用 W 膜 41 完全掩埋各个接触孔 30-34 和通孔 22 的内部（如图 26 所示）。

此处，若在刚刚制作 TiSi<sub>2</sub> 层 37 之后用腐蚀液清除未被反应的 Ti 膜 36，则腐蚀液不仅侵入到制作在 p 沟道 MISFET Q<sub>p</sub> 的栅电极 8C 上的接触孔 34 的内部，而且侵入到制作在 n 沟道 MISFET Q<sub>n</sub> 的栅电极 8B 上的未示出的接触孔的内部，致使由多晶-金属结构构成的栅电极 8B 和 8C 的表面（即 W 膜）被腐蚀。为了防止这一点，根据本实



施例,  $\text{TiSi}_2$  层 37 被制作在接触孔 30-33 的底部, 并淀积 TiN 膜 40 和 W 膜 41, 在氧化硅膜 28 上和接触孔 30-34 中留下未被反应的 Ti 膜 36.

然后, 如图 31 所示, 用 CMP 方法清除 (或回抛光) 氧化硅膜 28 上的 W 膜 41、TiN 膜 40 和 Ti 膜 36, 从而在接触孔 30-34 和通孔 22 中分别形成由上述 W 膜 41、TiN 膜 40 和 Ti 膜 36 组成的栓 35 (如图 26 所示)。也可以借助于干法腐蚀方法清除 (或回腐蚀) 氧化硅膜 28 上的 W 膜 41、TiN 膜 40 和 Ti 膜 36 来制作栓 35.

上述的栓 35 由于主要由 W 膜 41 即难熔金属组成而具有低的电阻和高的抗热性. 另一方面, 制作在 W 膜下方的 TiN 膜 40 不仅在用 CVD 方法淀积 W 膜 41 时用作防止六氟化钨与 Si 发生反应产生缺陷 (诸如侵蚀或蛀孔) 的势垒层, 而且在稍后的高温热处理时用作防止 W 膜 41 与 Si 衬底发生反应 (即硅化) 的势垒层. 此势垒层也可以由 TiN 之外的难熔金属氮化物 (例如 WN) 构成.

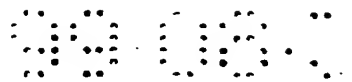
栓 35 也可以主要由 TiN 膜 40 构成而不用 W 膜 41. 具体地说, 栓 35 也可以借助于将厚的 TiN 膜 40 分别埋置在接触孔 30-34 和通孔 22 中而形成 (如图 26 所示). 比之主要由 W 膜 41 组成的情况, 栓 35 此时具有相当高的电阻. 然而, 当下一步骤中待要淀积在氧化硅膜 28 上的 W 膜 40 被干法腐蚀以形成外围电路的位线 BL 和第一布线线条 23-26 时, TiN 膜 40 起腐蚀停止层的作用. 结果, 极大地改善了布线线条 23-26 和接触孔 30-34 的不对准的裕度, 从而显著地改善了布线线条 23-26 的布局自由度.

接着, 用下列方法在氧化硅膜 28 上制作外围电路的位线 BL 和第一层布线线条 23-26.

首先, 如图 32 所示, 对氧化硅膜 28 的表面进行湿法清洗, 以充分地清除抛光残留物, 再用溅射方法在其上淀积厚度约为 100nm 的 W 膜 42. 接着, 如图 33 所示, 用制作在 W 膜 42 上的光刻胶膜 43 作为掩模, 对 W 膜 42 进行干法腐蚀, 以制作外围电路的位线 BL 和第一层布线线条 23-26.

也可以用 CVD 方法淀积的 W 膜或 W 膜与 TiN 膜组成的叠层膜





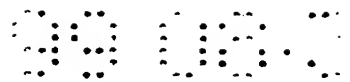
来制作位线 BL 和布线线条 23-26。作为变通,也可以采用与氧化硅基绝缘膜有良好的接触性的难熔金属或其氮化物的单层膜(例如 Mo 膜或 Ta 膜)或其叠层膜。此处,图 34 俯视平面图示出了制作位线 BL 之后的存储器单元阵列的主要部分。这些位线 BL 被制作成带状,并通过通孔 22 与具有矩形俯视平面形状的栓 21 电连接。

接着,如图 35-36 所示,在位线 BL 和第一层布线线条 23-26 上,分别淀积厚度约为 100nm 的氧化硅膜 38。然后,将厚度约为 250nm 的 SOG 膜 39 旋涂到氧化硅膜 38 的上部,再在含水汽的氧气氛中,于大约 400℃ 下进行烘焙。而且,借助于在 800℃ 下对其进行大约 1 分钟热处理以使其致密而进一步整平 SOG 膜 39 的表面。此处,图 36(a) 放大剖面图示出了此处理之后沿图 4 中 A-A 线的主要部分,图 36(b) 放大剖面图示出了此处理之后沿图 4 中 B-B 线的主要部分。

此处,当位线 BL 和第一层布线线条 23-26 的台阶小时,不用 SOG 膜 39,而仅仅借助于淀积厚的氧化硅膜 38,也可以实现整平。当位线 BL 和布线线条 23-26 的密度差大,以致仅仅用 SOG 膜 39 无法获得足够的平整度时,可以用 CMP 方法抛光 SOG 膜 39 的表面,并可以在 SOG 膜 39 上淀积用来修补 SOG 膜 39 表面上的细小抛光伤痕的氧化硅膜。另一方面,当用来使 SOG 膜 39 致密的温度不能这样高时,可以在其上进一步淀积氧化硅膜以便补偿抗潮性能的下降。

然后,如图 37 所示,在 SOG 膜 39 上淀积厚度约为 200nm 的多晶硅膜 70,并用光刻胶膜作为掩模进行干法腐蚀,以便在接触孔 20 上形成通孔 71。这些通孔 71 被制作成其直径基本上等于最小制作尺寸。

接着,如图 38 所示,由通孔 71 的侧壁上形成由多晶硅膜组成的侧壁间隔 72。侧壁间隔 72 的制作方法是,用 CVD 方法,在含有通孔 71 内部的多晶硅膜 70 上淀积薄至大约 60nm 的第二(未示出)多晶硅膜,然后对此多晶硅膜进行回腐蚀,从而将其留在通孔 71 的侧壁上。借助于形成这些侧壁间隔 72,通孔 71 的内径被制成小于最小制作尺寸。



然后, 如图 39 所示, 用多晶硅膜 70 和侧壁间隔 72 作为掩模, 对通孔 71 底部的绝缘膜 (即 SOG 膜 39 以及氧化硅膜 38 和 28) 进行干法腐蚀, 以形成通过位线 BL 与相邻位线 BL 之间的空间延伸到接触孔 20 的通孔 48。

用内径小于最小制作尺寸的通孔 71 的侧壁上的侧壁间隔 72 作为掩模, 来制作通孔 48, 致使其内径小于最小制作尺寸。结果, 能够有效地保持用来对准位线 BL 的空间区域和通孔 48 的余量, 从而可靠地防止下一步骤待要埋置在通孔 48 中的栓 49 与位线 BL 或下方的栓 35 发生短路。

接着, 如图 40 所示, 用 CVD 方法, 在其中含有通孔 48 内部的多晶硅膜 70 上, 淀积被 n 型杂质 (例如 P (磷)) 掺杂的厚度约为 200nm 的多晶硅膜 (未示出), 然后与多晶硅膜 70 和侧壁间隔 72 一起被回腐蚀, 从而在通孔 48 中形成由多晶硅膜组成的栓 49。

然后, 如图 41 所示, 用 CVD 方法, 在 SOG 膜 39 上淀积厚度约为 200nm 的氮化硅膜 44, 并用干法腐蚀处理, 以光刻胶膜作为掩模, 清除外围电路的氮化硅膜 44。留在存储器阵列中的氮化硅膜 44, 在制作稍后描述的信息储存电容元件 C 的下电极 45 的步骤中, 被用作腐蚀氧化硅膜的腐蚀停止层。

接着, 如图 42 所示, 用 CVD 方法, 在氮化硅膜 44 上淀积氧化硅膜 50, 并用光刻胶膜作为掩模, 对氧化硅膜 50 和下方的氮化硅膜 44 进行干法腐蚀, 以便在通孔 48 上形成沟槽 73。由于信息储存电容元件 C 的下电极 45 沿沟槽 73 的内壁制作, 故氧化硅膜 50 必须淀积成具有大的厚度 (例如大约 1.3 微米), 以便借助于增大下电极 45 的表面面积而增加储存的电荷。

然后, 如图 43 所示, 用 CVD 方法, 在含有沟槽 73 的内部的氧化硅膜 50 上, 淀积掺有 n 型杂质 (例如 P (磷)) 的厚度约为 69nm 的多晶硅膜 45A。此多晶硅膜 45A 被用作信息储存电容元件 C 下方的电极材料。

接着, 如图 44 所示, 将厚度约为 300nm 的 SOG 膜旋涂到含有沟



槽 73 内部的多晶硅膜 45A, 再用大约 400℃ 下热处理进行烘焙, 并对沟槽 73 外面的 SOG 膜 74 进行回腐蚀和清除。

然后, 如图 45 所示, 用光刻胶膜 74 覆盖外围电路的多晶硅膜 45A, 并对存储器阵列的氧化硅膜 50 上的多晶硅膜 45A 进行回腐蚀 (各向异性腐蚀) 和清除, 以便沿沟槽 73 的内壁形成下电极 45。这些下电极 45 也可以由多晶硅膜 45A 之外的导电膜形成。用作下电极的导电膜可以按所希望的那样由抗热性和抗氧化性不会由于下一步骤要执行的电容绝缘膜的高温热处理而退化的诸如难熔金属 W 或 Ru (钌)、或导电金属氧化物 RuO (氧化钌) 或 IrO (氧化铱) 之类的导电材料制成。

接着, 如图 46 所示, 用氢氟酸基腐蚀液同时清除留在沟槽 73 与沟槽 73 之间的间隙中的氧化硅膜 50 和沟槽 73 中的 SOG 膜 74, 然后清除光刻胶膜 75。接着, 用干法腐蚀处理, 以覆盖存储器阵列的光刻胶膜作为掩模, 清除外围电路的多晶硅膜 45A, 从而完成圆筒形下电极 45。氮化硅膜 44 制作在沟槽间隙中的氧化硅膜 50 的底部, 使下方的 SOG 膜 39 在氧化硅膜 50 被湿法腐蚀时不被腐蚀。另一方面, 外围电路的表面此时被多晶硅膜 45A 覆盖, 致使下方的厚氧化硅膜 50 不被腐蚀。

借助于在外围电路中留下厚度大的氧化硅膜 50, 在稍后步骤中待要制作在信息储存电容元件 C 上的层绝缘膜 56 和 63 的表面, 与存储器阵列和外围电路的表面基本上处于同一高度。这使得容易制作待要排列在层绝缘膜 56 上的第二层布线线条 52 和 53、待要排列在层绝缘膜 63 上的第三层布线线条 57 和 58、以及用来连接第二和第三层布线线条的通孔 60 和 61。

然后, 在氨气氛中, 于 800℃ 下执行大约 3 分钟的热处理, 以便在下电极 45 的表面上形成 (未示出的) 薄的氮化物膜。之后, 如图 47 所示, 在下电极 45 上淀积厚度约为 14nm 的薄的  $Ti_2O_5$  (氧化钽) 膜 46。在下电极 45 上制作氮化膜是为了防止形成下电极 45 的多晶硅膜 (45A) 被下一个热处理氧化。另一方面, 用 CVD 方法, 以例如五乙



氧基钽 ( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ ) 作为源气体来淀积  $\text{Ti}_2\text{O}_5$  膜 46。用 CVD 方法这样淀积的  $\text{Ti}_2\text{O}_5$  膜 46 具有优良的台阶覆盖性, 致使它在具有立体圆筒形状的下电极 45 的表面上以基本上相等的厚度淀积。

接着, 在氧化气氛中, 于  $800^\circ\text{C}$  下对  $\text{Ti}_2\text{O}_5$  膜 46 进行大约 3 分钟的热处理。借助于这一高温热处理, 修补了膜中的晶体缺陷, 从而形成质量优良的  $\text{Ti}_2\text{O}_5$  膜 46。结果, 能够降低信息储存电容元件 C 的漏电流, 从而制造刷新特性得到了改善的 DRAM。

另一方面, 为了增大其表面面积, 信息储存电容元件 C 的下电极 45 被制作成立体圆筒形状, 且电容绝缘膜由介电常数约为 20-25 的  $\text{Ti}_2\text{O}_5$  膜 46 组成, 以致即使存储器单元被小型化了, 仍能够保持足以锁存信息的储存电荷。

另一方面, 淀积  $\text{Ti}_2\text{O}_5$  膜 46 之前形成的下方位线 BL 和第一层布线线条 23-26, 由具有优良的与氧化硅基绝缘膜的接触性能的 W 膜构成。这使得有可能可靠地防止由高温热处理  $\text{Ti}_2\text{O}_5$  膜 46 所造成的位线 BL 和布线线条 23-26 的膜被刮去的缺陷。

另一方面, 由于位线由具有高抗热性的 W 膜构成, 故有可能可靠地防止由高温热处理  $\text{Ti}_2\text{O}_5$  膜 46 所造成的使制作成具有最小制作尺寸或更小的精细宽度的位线 BL 退化或破裂的缺陷。由于用来连接外围电路的 MISFET 和第一层布线线条 23-26 的接触孔 30-34 中的栓 35 由高抗热性的导电材料 (亦即 W 膜/TiN 膜/Ti 膜) 制成, 使得有可能防止由高温热处理  $\text{Ti}_2\text{O}_5$  膜 46 所造成的源和漏的漏电流和接触电阻增大的缺陷。

信息储存电容元件 C 的电容绝缘膜也可以由诸如 BST、STO、 $\text{BaTiO}_3$  (钛酸钡)、 $\text{PbTiO}_3$  (钛酸铅)、 $\text{PZT}$  ( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )、 $\text{PLT}$  ( $\text{PbLa}_x\text{Ti}_{1-x}\text{O}_3$ ) 或 PLZT 之类的金属氧化物制成的高 (铁) 电膜组成。由于这些高 (铁) 电膜在制作之后通常要求在至少约  $750^\circ\text{C}$  下进行高温热处理以便提供晶体缺陷较少的高质量, 故即使在使用这种高 (铁) 电膜时, 也能够获得与前述相似的效果。

然后, 如图 48 所示, 用 CVD 方法和溅射方法一起, 在  $\text{Ti}_2\text{O}_5$  膜 46

上淀积 TiN 膜，再用干法腐蚀处理，以光刻胶膜作为掩模，对 TiN 膜和  $Ti_2O_5$  膜 46 进行图形化，以便完成信息储存电容元件 C，它被构造成为包括由 TiN 膜组成的上电极 47、由  $Ti_2O_5$  膜 46 组成的电容绝缘膜和由多晶硅膜（45A）组成的下电极 45。另一方面，直到这些步骤，已经完成了存储器单元，它被构造成为包括存储器单元选择 MISFET Qs 以及与之串联连接的信息储存电容元件 C。信息储存电容元件 C 的上电极 47 也可以由诸如 W 膜之类的 TiN 膜之外的导电膜构成。

接着，如图 49 所示，在信息储存电容元件 C 上制作层绝缘膜 56，再用光刻胶膜作为掩模，对外围道路的层绝缘膜 56、氧化硅膜 50、SOG 膜 39 和氧化硅膜 39 进行腐蚀，以便在第一层布线线条 26 上形成通孔 54。层绝缘膜 56 由例如用 CVD 方法淀积成厚度约为 600nm 的氧化硅膜组成。

然后，如图 50 所示，在通孔 54 中制作栓 55，并在层绝缘膜 56 上制作第二层布线线条 52 和 53。栓 55 的制作方法是：例如用溅射方法在层绝缘膜 56 上淀积 Ti 膜，用 CVD 方法在其上淀积 TiN 膜和 W 膜，然后对这些膜进行回腐蚀（或干法腐蚀），并使之只留下在通孔 54 中。第二层布线线条 52 和 53 的制作方法是：用溅射方法，在层绝缘膜 56 上相继淀积厚度约为 50nm 的 Ti 膜、厚度约为 500nm 的 Al（铝）膜、厚度约为 50nm 的 Ti 膜以及厚度约为 50nm 的 TiN 膜，然后用干法腐蚀处理，以光刻胶膜作为掩模，对这些膜进行图形化。

在制作信息储存电容元件 C 的电容绝缘膜之后，不再涉及到伴随高温热处理的步骤。因此，可以用主要由具有低电阻但在抗热性方面不如难熔金属或其氮化物的铝组成的导电材料来作为待要制作在层绝缘膜 56 上的第二层布线线条 52 和 53 的材料的范例。另一方面，由于没有高温热处理步骤而不引起膜被刮去的问题，故可以用 Ti 膜作为在氧化硅组成的层绝缘膜 56 上制作第二层布线线条 52 和 53 时与层绝缘膜 56 相交部分处的势垒金属。

接着，如图 51 所示，在第二层布线线条 52 和 53 上制作第二层绝缘膜 63 之后，对信息储存电容元件 C 上的层绝缘膜 63 和 56 进行腐



蚀，以形成通孔 60，并对外围道路的第二布线线条 53 上的层绝缘膜 63 进行腐蚀，以形成通孔 61。第二层绝缘膜 63 构造成例如包括用 CVD 方法淀积的厚度约为 300nm 的氧化硅膜、旋涂在前者上的厚度约为 400nm 的 SOG 膜、以及用 CVD 方法淀积的厚度约为 300nm 的氧化硅膜。在大约 400℃ 的温度下，对形成部分层绝缘膜 63 的 SOG 膜进行烘焙，以便防止主要由 Al 和信息储存电容元件 C 的电容绝缘膜组成的第二层布线线条 52 和 53 退化。

之后，在通孔 60 和 61 中制作栓 62，然后在层绝缘膜上制作第三层布线线条 57、58 和 59，这样就基本上完成了图 3 所示的前述 DRAM。栓 62 由例如与前述栓 55 相同的导电材料（亦即 W 膜/TiN 膜/Ti 膜）构成，而第三层布线线条 57、58 和 59 由例如与第二层布线线条 52 和 53 相同的导电材料（亦即 TiN 膜/Ti 膜/Al 膜/Ti 膜）构成。此处，虽然未示出，但在第三层布线线条 57、58 和 59 上淀积了高度抗水的致密绝缘膜（亦即由等离子体 CVD 方法淀积的氧化硅膜和氮化硅膜组成的二层结构的绝缘膜）。

虽然结合其实实施例已经具体地描述了我们的发明，但本发明应该不局限于此，而是自然能够以各种各样的方式进行修正而不超越其主旨。

例如，已经在信息储存电容元件具有圆筒形状的情况下描述了上述实施例，但本发明不应该局限于此，而是能够多方面地应用于例如扇形的信息储存电容元件。

另一方面，已经在本发明应用于具有多晶-金属结构的栅电极的情况下描述了上述实施例，但本发明不应该局限于此。本发明还能够应用于栅电极被构造成具有所谓“多硅化物结构”的情况，其中诸如硅化钨之类的硅化物膜被制作在低阻多晶硅膜上，或仅仅由诸如钨的金属膜制成。

另一方面，已经在用来电连接位线和存储器单元选择 MISFET 的连接孔具有矩形俯视平面形状的情况下描述了上述实施例，但本发明不应该局限于此，而是连接孔也可以具有普通的圆形。在此修正中，



借助于使位线沿平面方向局部延伸以横切其延伸方向，以及借助于使延伸部分重叠在连接孔上，将位线与连接孔电连接。作为变通，可以借助于将有源区的一个区域沿位线方向延伸到如此的程度，以至于存储器单元选择 MISFET 形成位线的连接孔、借助于在延伸部分形成连接孔、以及借助于将直的位线重叠在连接孔上，而电连接二者。

在迄今所作的描述中，已经在应用于 DRAM 技术或其背景应用领域的环境下描述了我们的发明，但本发明应该不局限于此。本发明可以应用于诸如 SRAM（静态随机存取存储器）或快速存储器（EEPROM：电可擦可编程 ROM）这样的另一类存储器电路芯片、微处理器这样的逻辑电路芯片、或在公共半导体芯片上具有逻辑电路和存储器电路的逻辑存储器电路芯片之类的另一类半导体集成电路器件。

下面简述一下用本发明的典型方法得到的效果。

（1）根据本发明，厚度可以做得比帽绝缘膜仅仅由氮化硅膜构成的情况下更小，致使能够降低连接孔的形状比。结果，能够容易地将导电膜埋置在连接孔中，从而避免诸如可能由导电膜埋置不良引起的电阻增大和导电不良之类的问题，致使能够改善半导体集成电路的成品率和可靠性。

（2）根据本发明，能够减薄帽绝缘膜的氮化硅膜，以避免在制作帽绝缘膜之后，帽绝缘膜可能由于热处理而分离或隆起的问题。结果，能够改善半导体集成电路的成品率和可靠性。

（3）根据本发明，栅电极上的帽绝缘膜具有由氧化硅膜和氮化硅膜组成的叠层结构，且待要形成在半导体衬底和帽绝缘膜上的腐蚀停止层由氮化硅膜组成。结果，能够减薄腐蚀停止层的氮化硅膜，以便即使在相邻的栅电极之间的间距小的时候，也能够充分降低接触电阻。而且，能够降低帽绝缘膜的总厚度，从而减小连接孔的形状比。

图 1

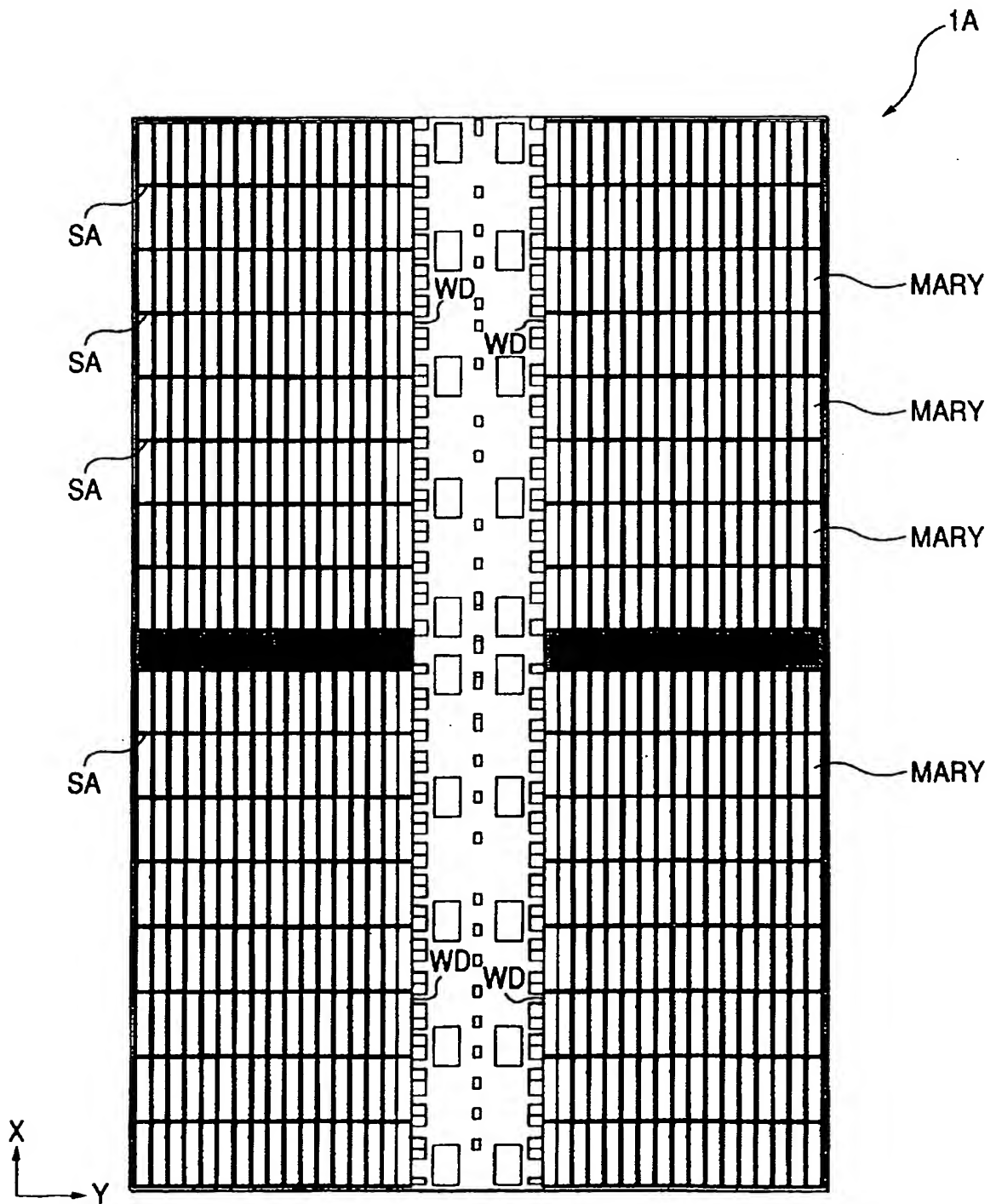




图 2



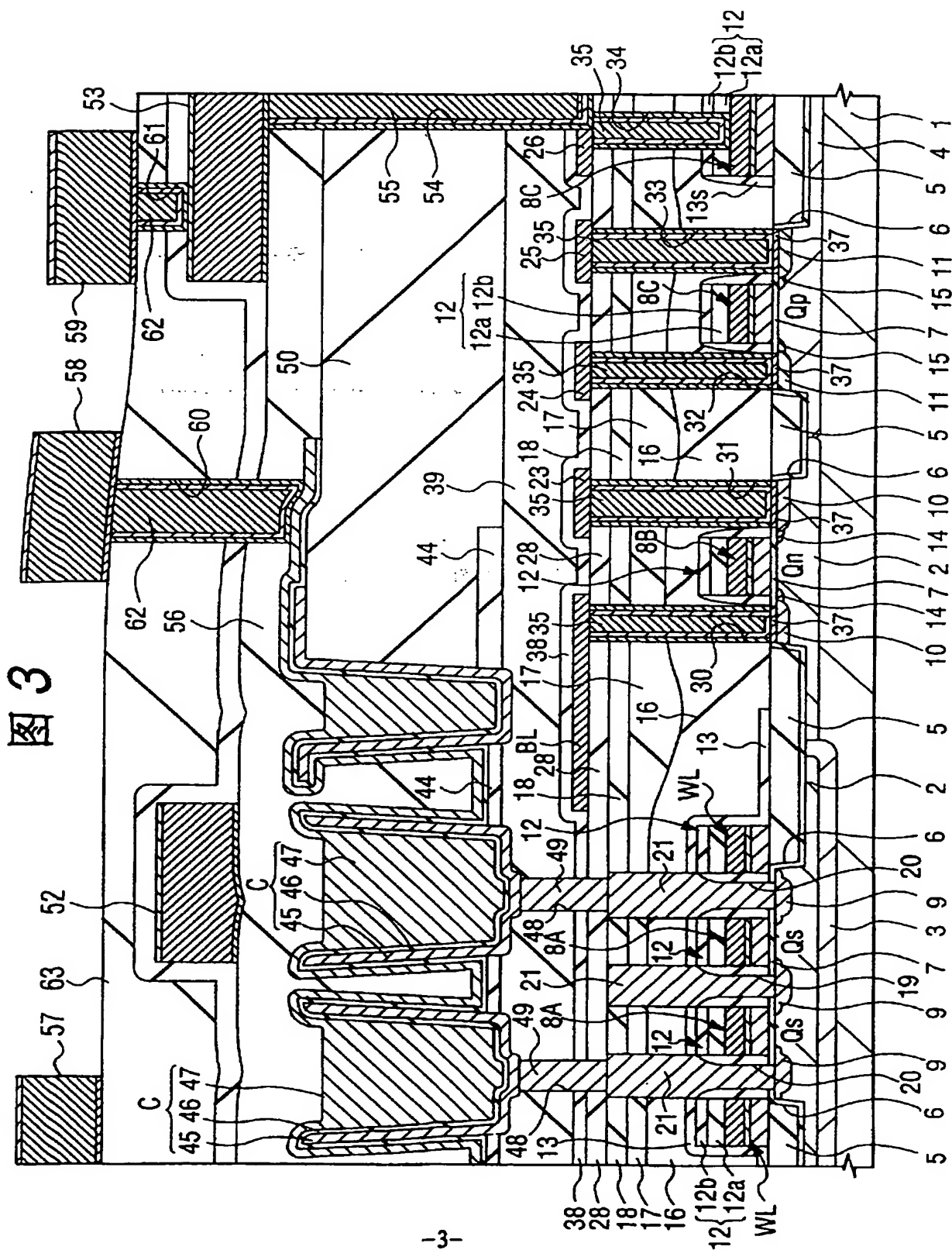
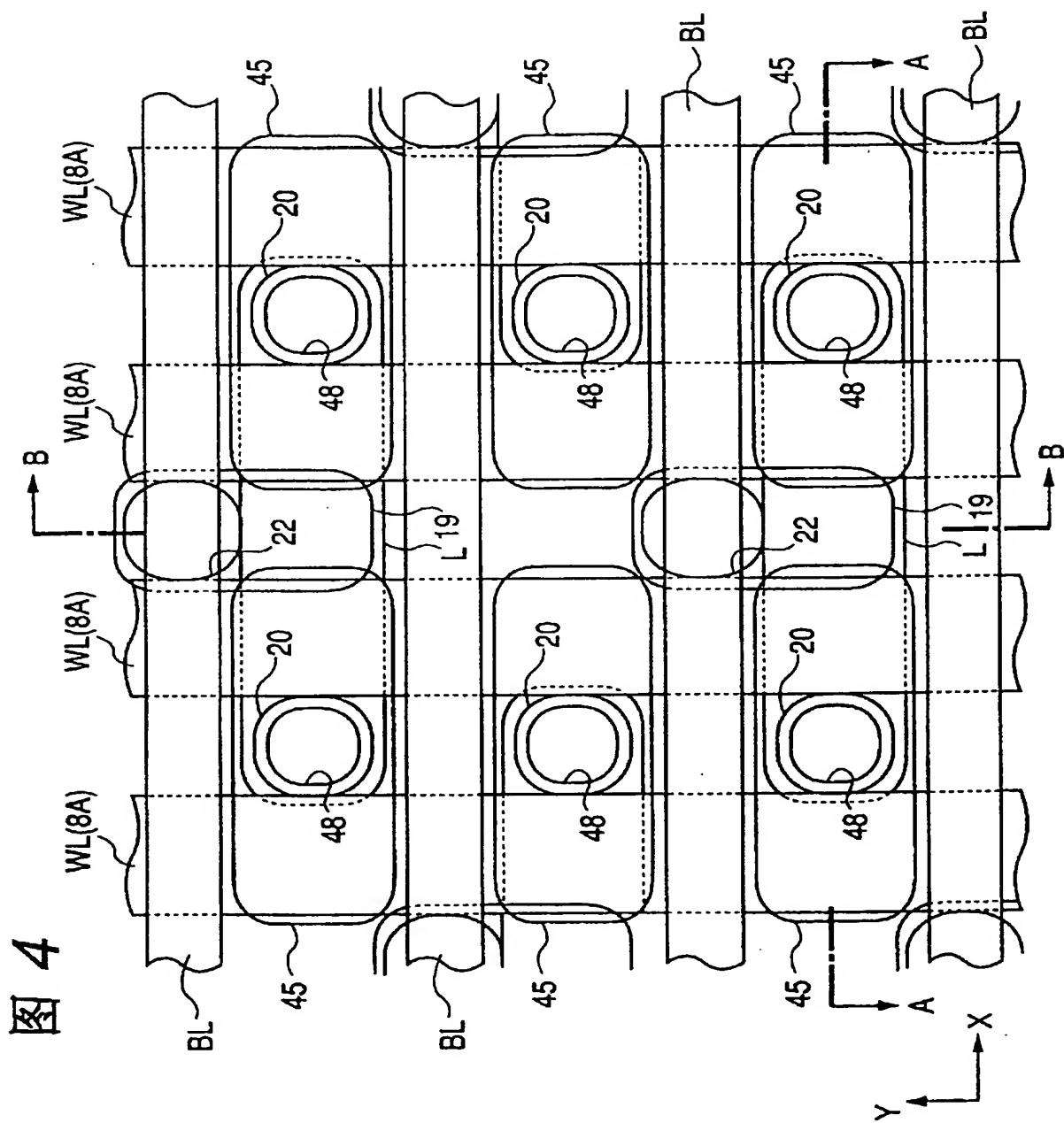


图 3



5(b)

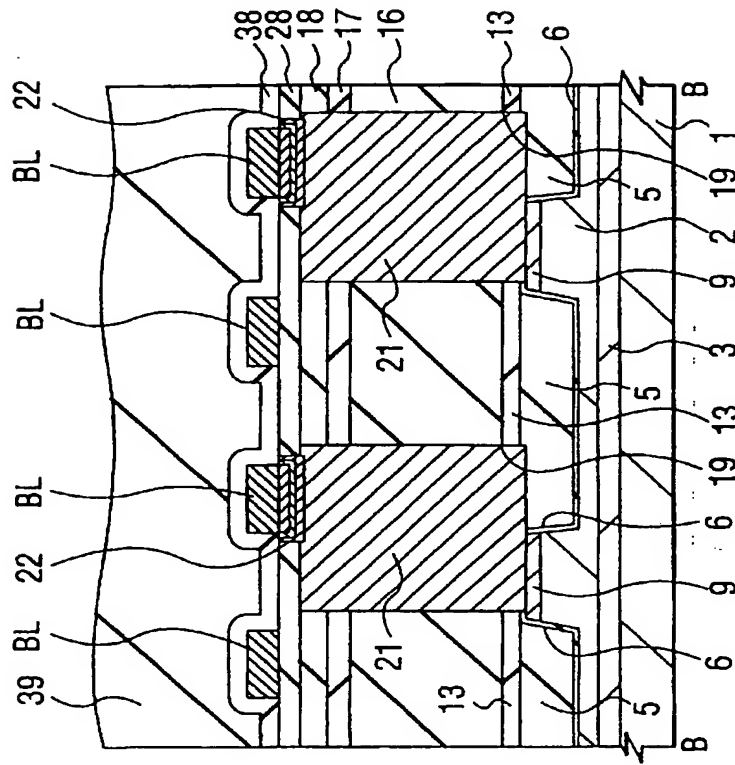


图6

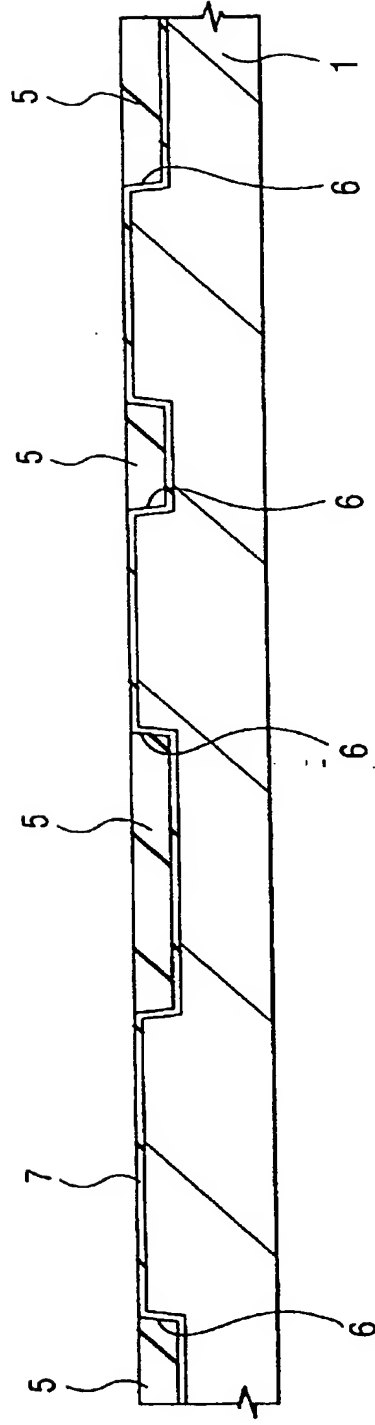


图7

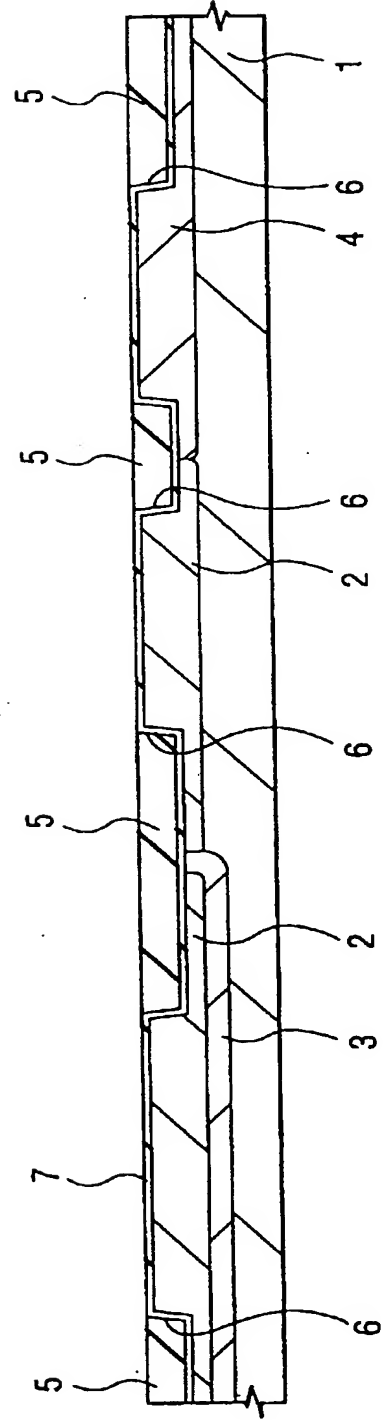


图 8

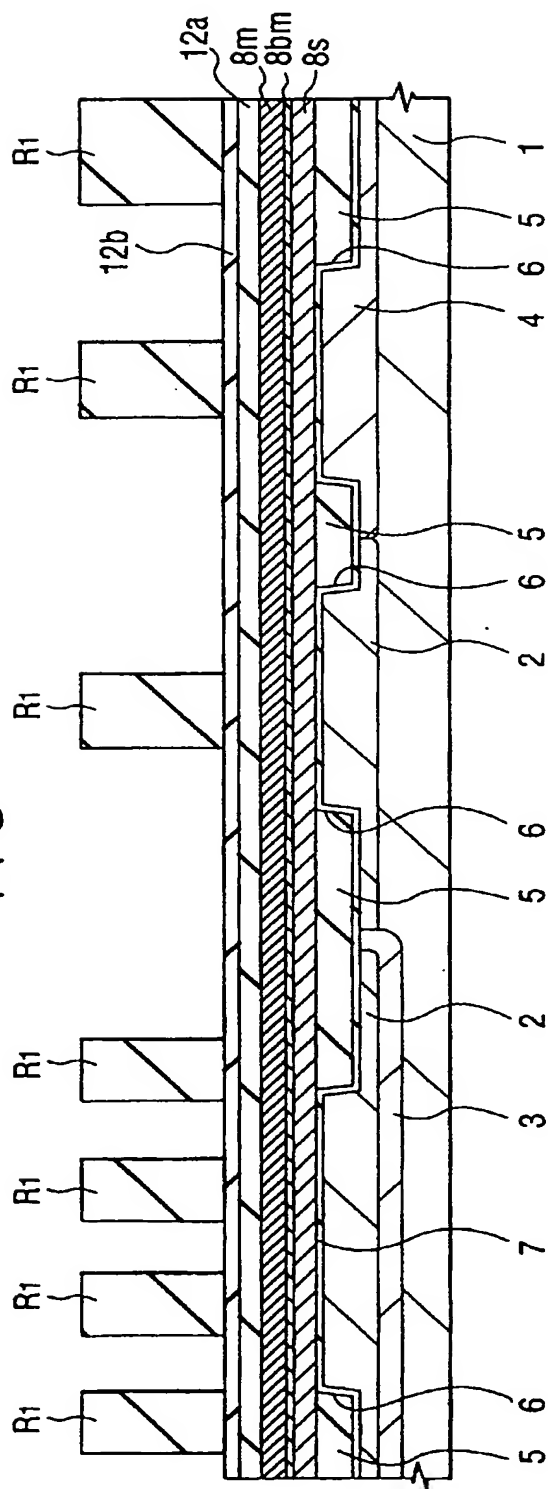


图 9

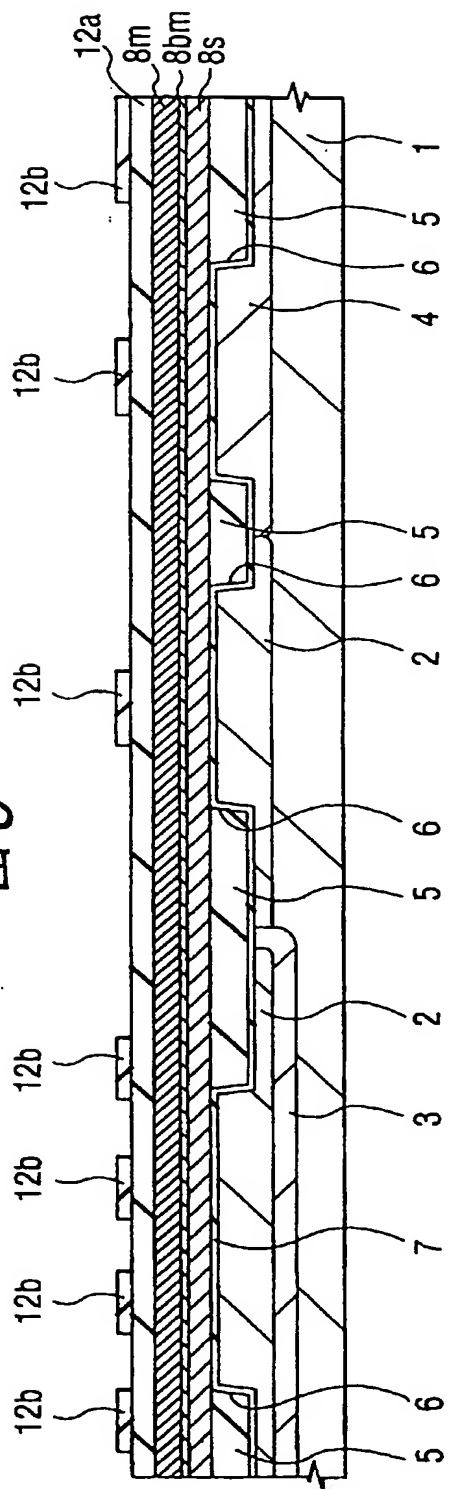


图 10

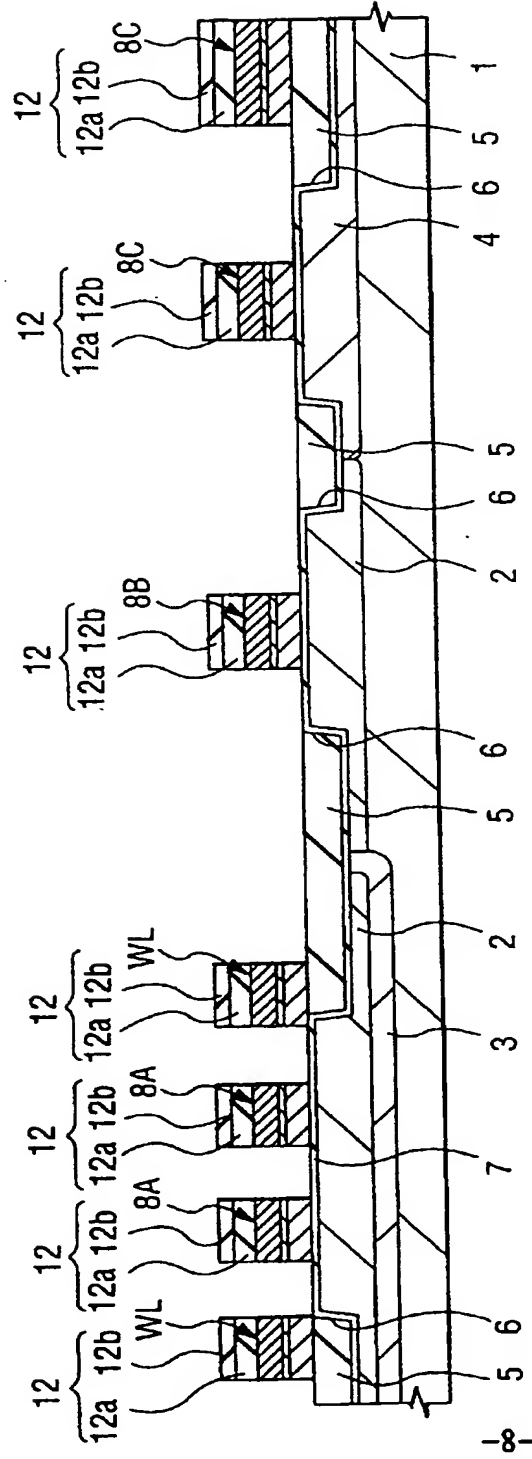
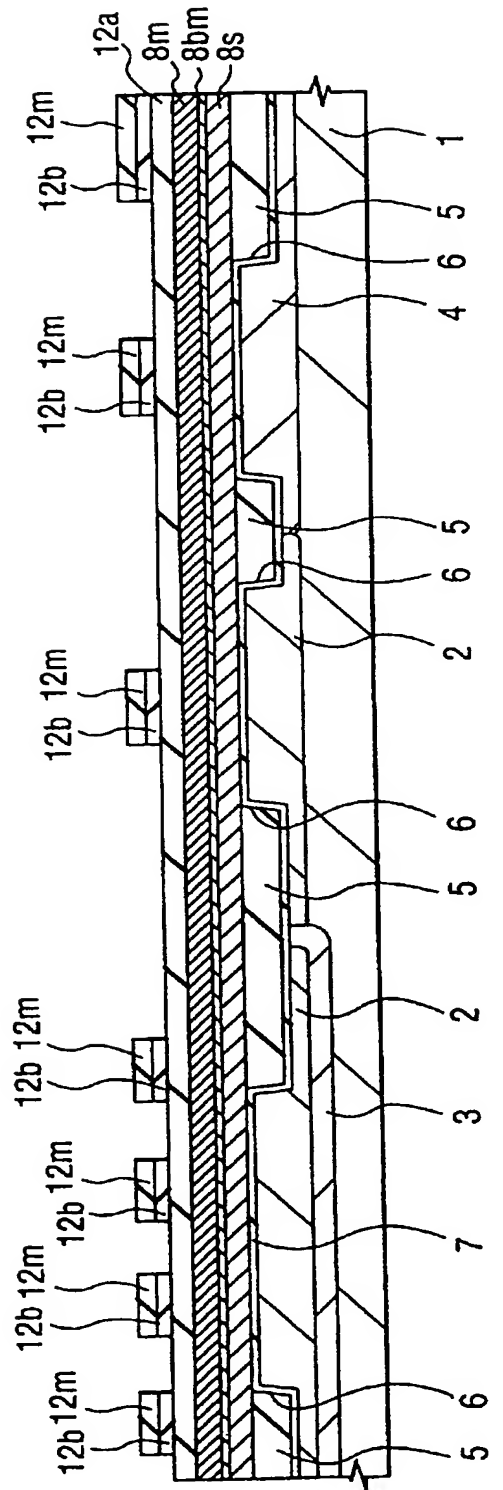
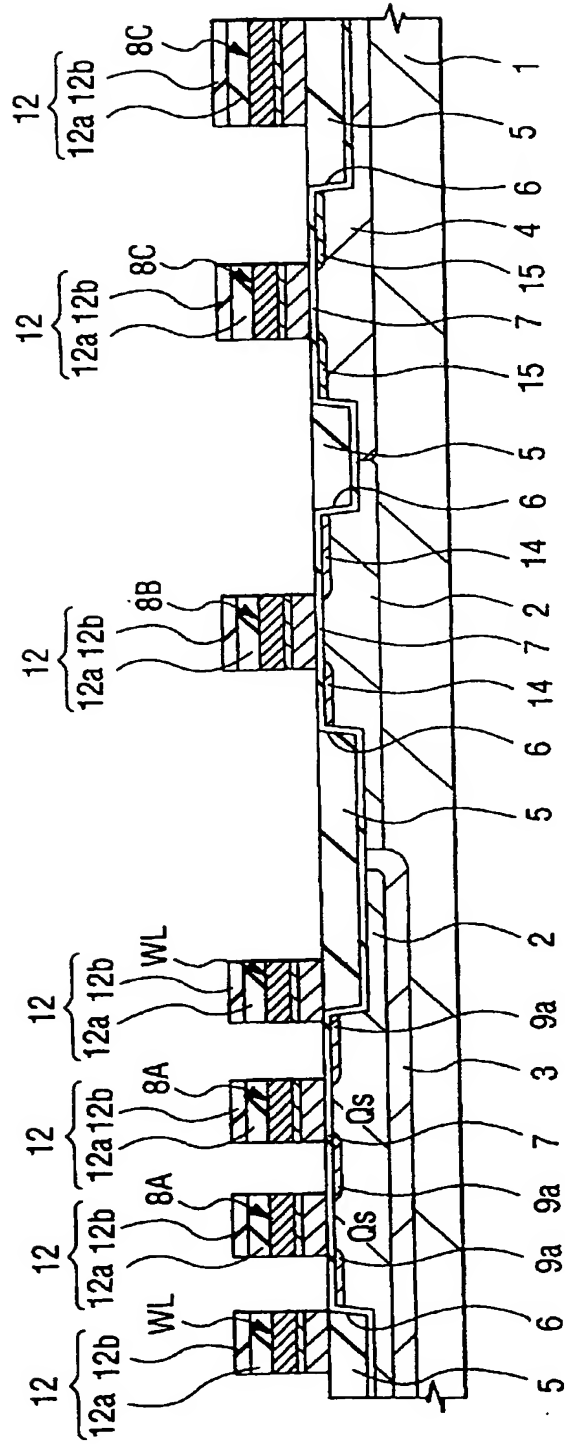


图 11



311,11

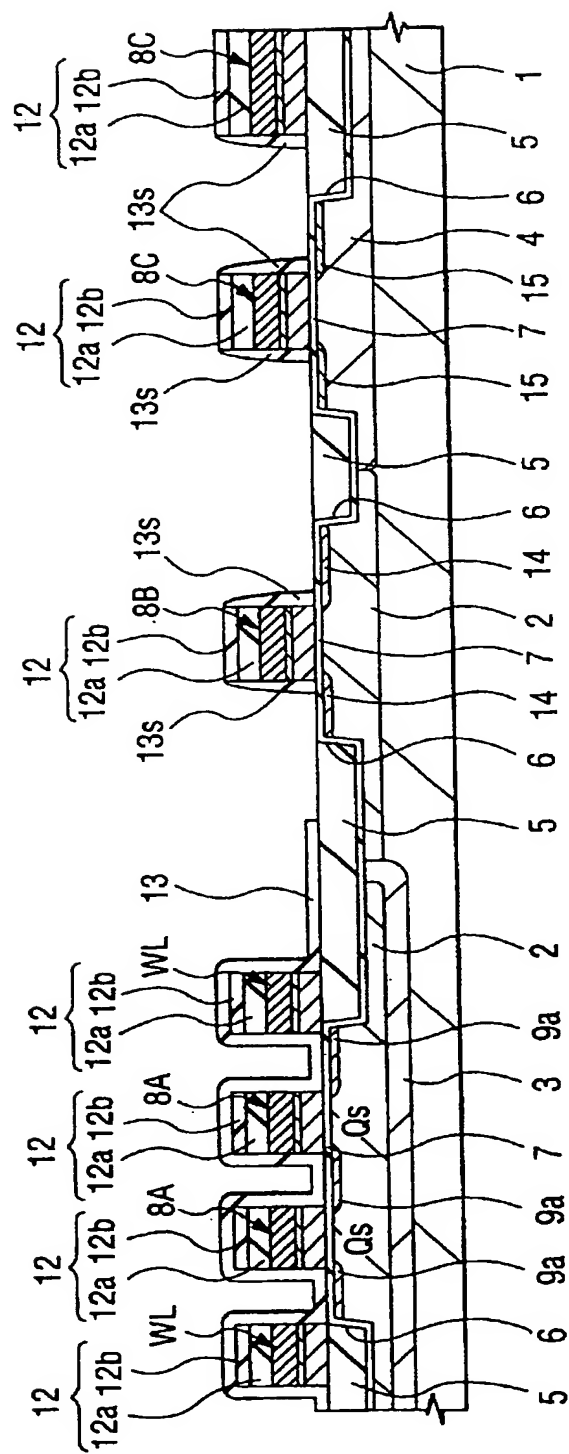
图 12



1



-10-



300

图 14

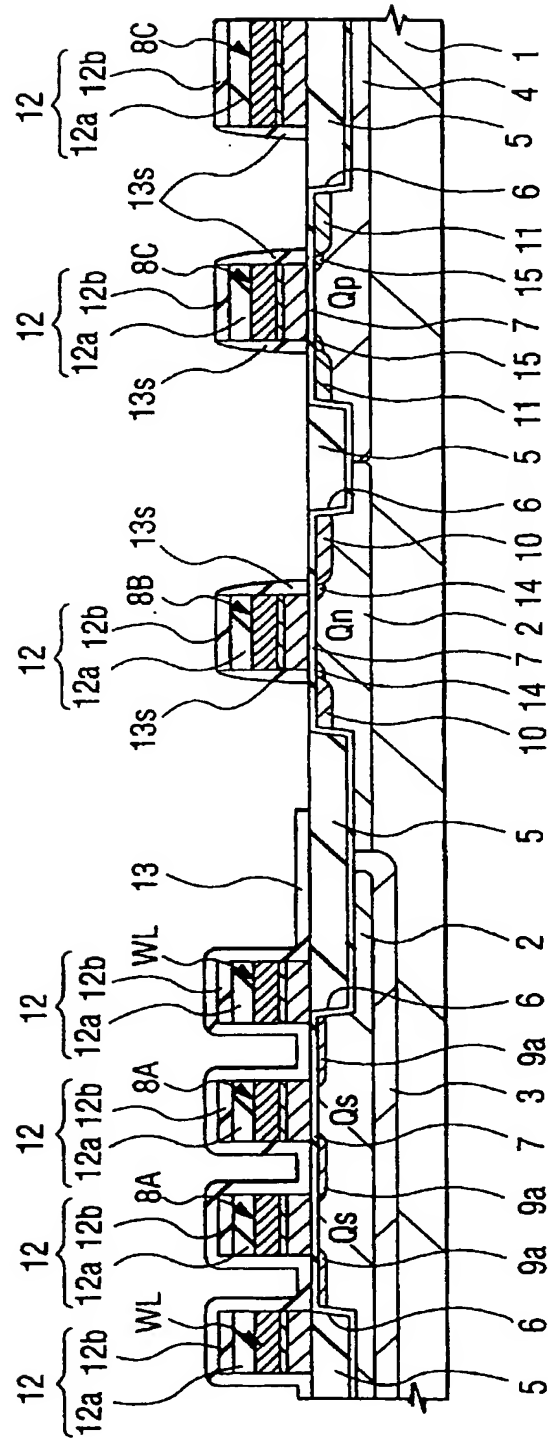


图 15

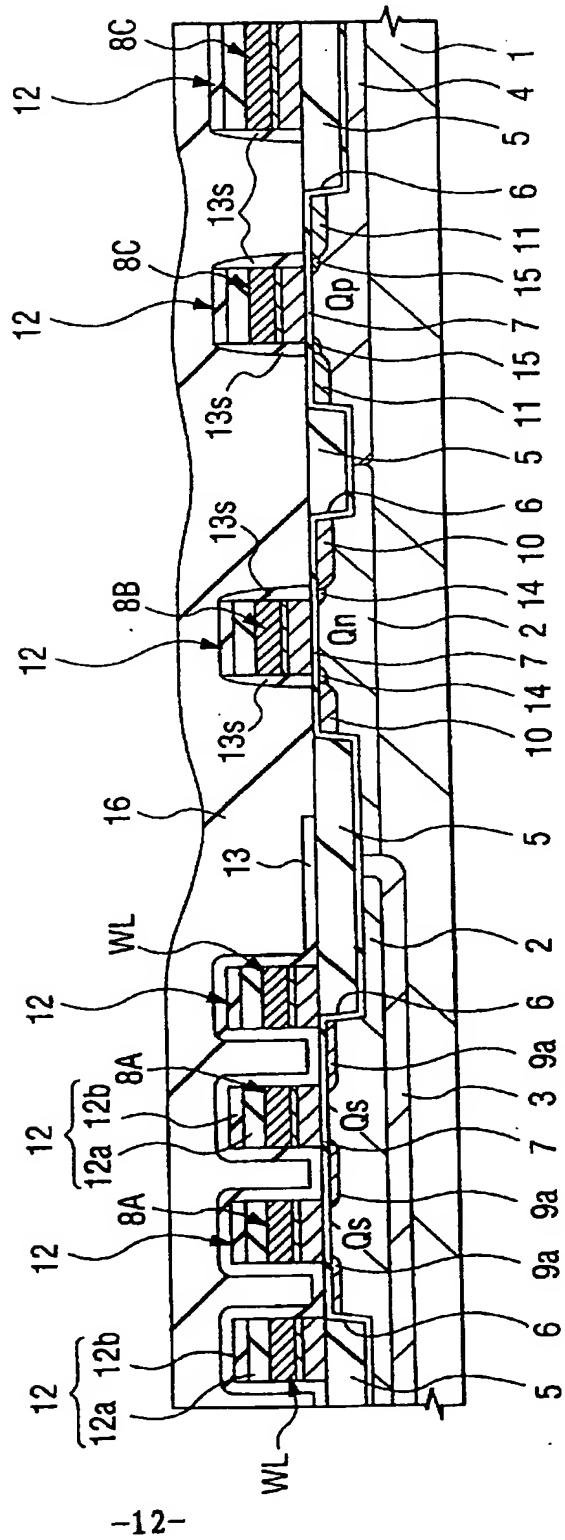
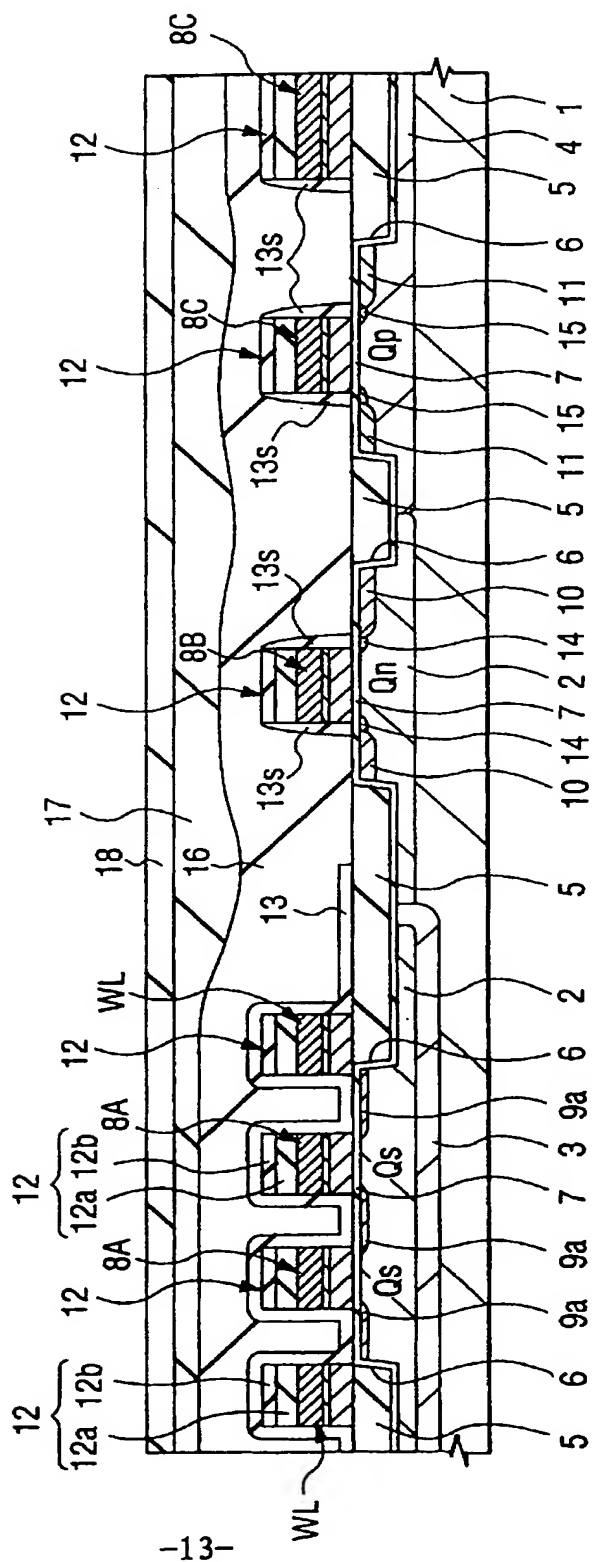


图16



900000



Figure 18(b)

图 18(b)

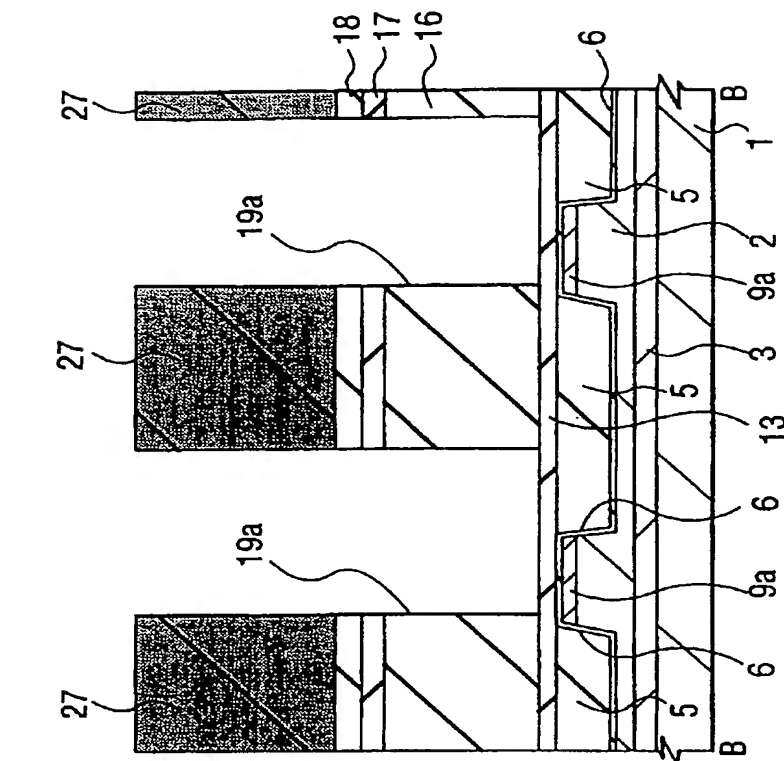


图 18(a)

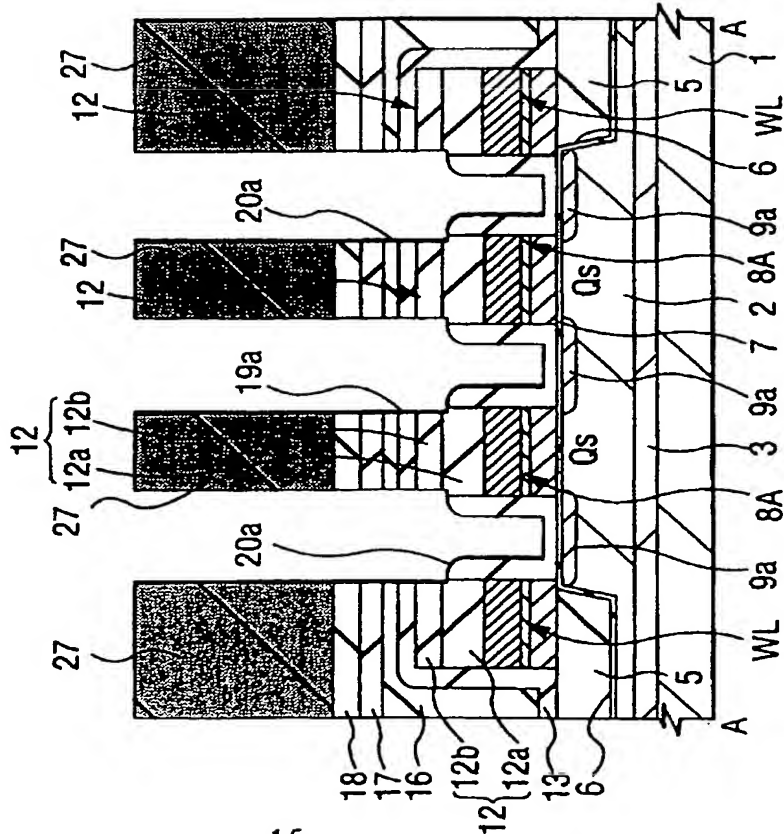


图19

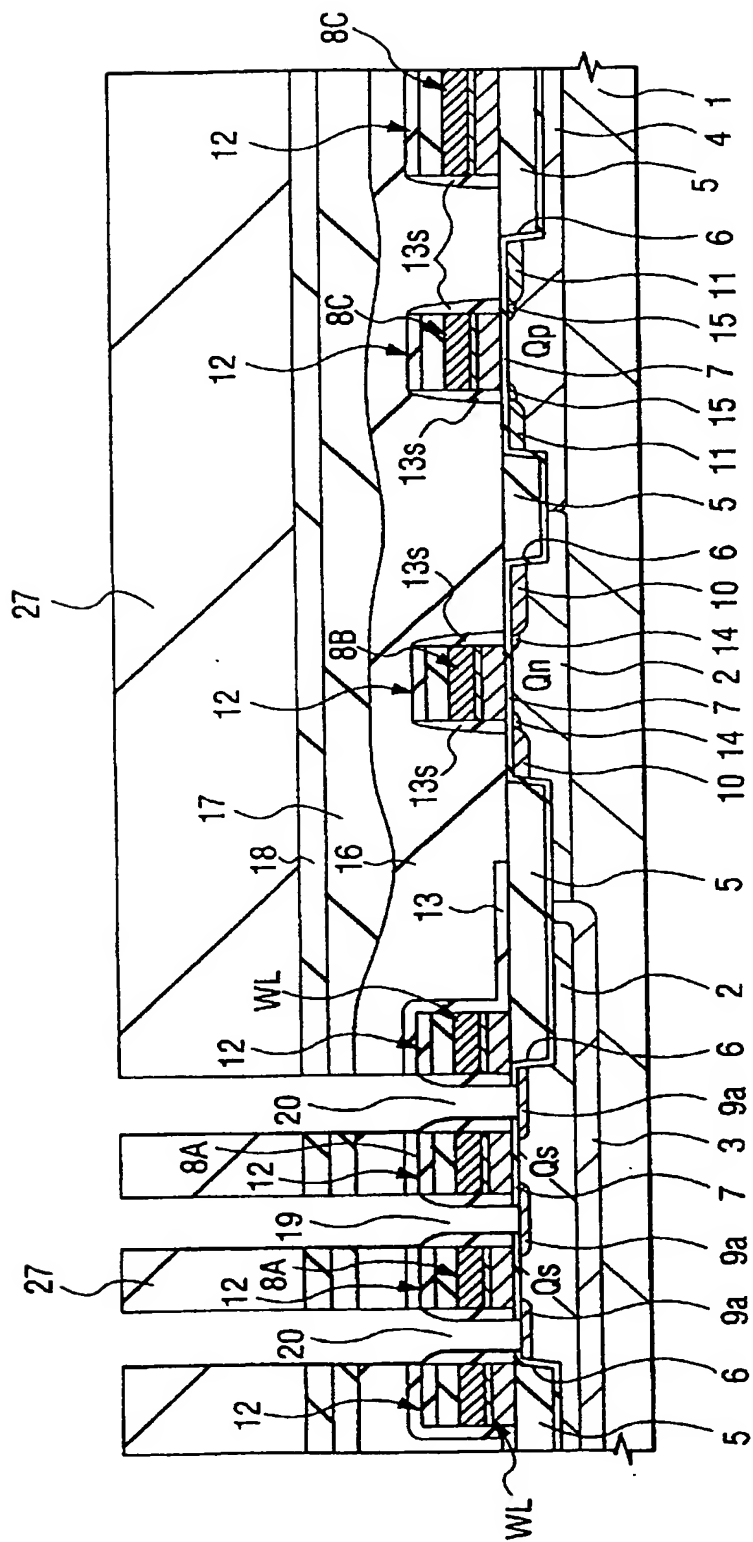


图 20

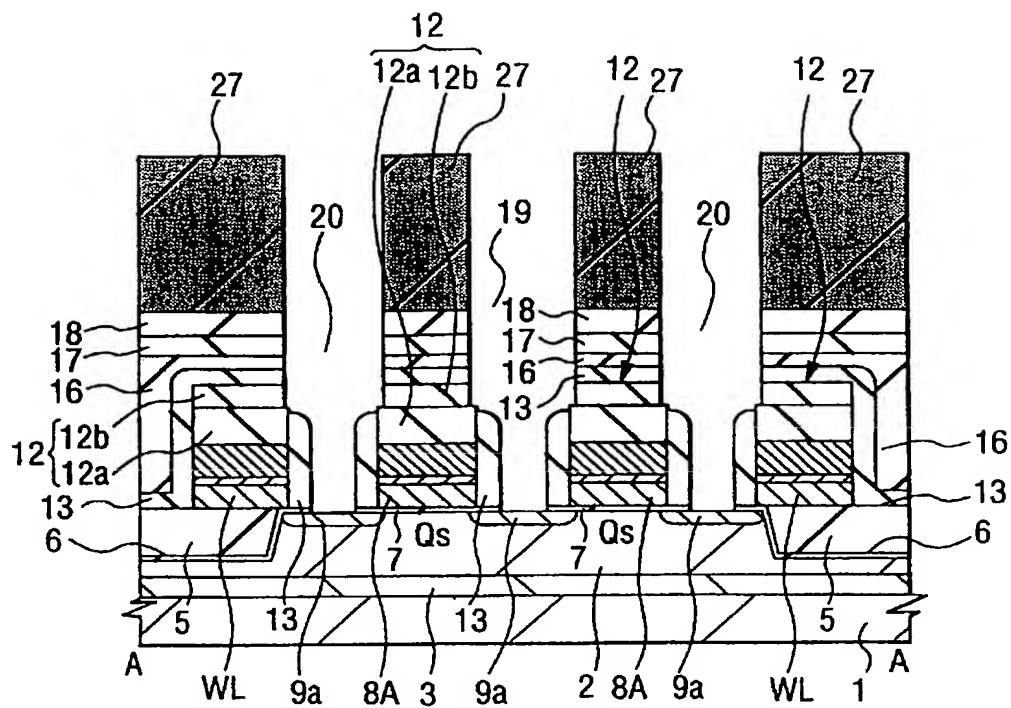


图 21

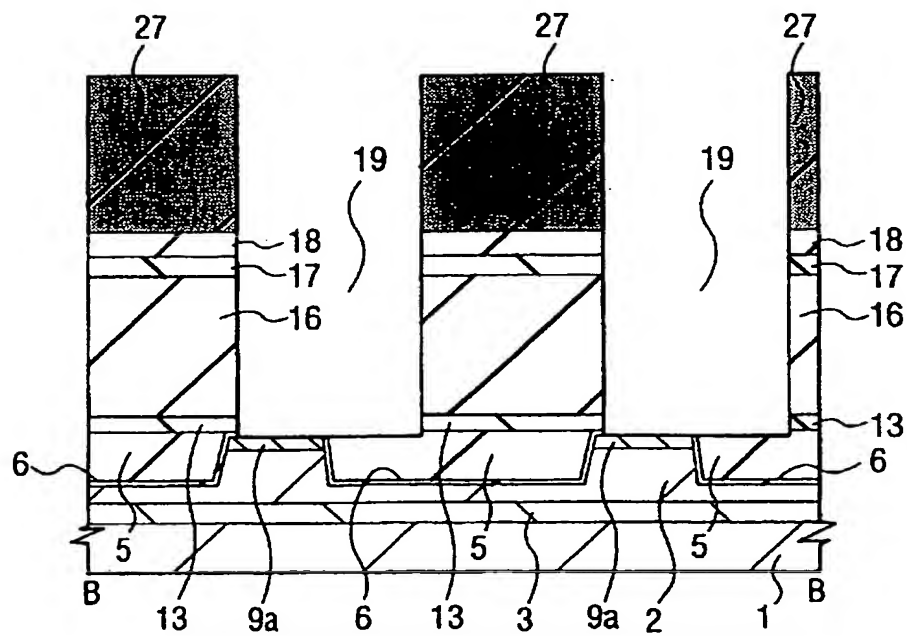
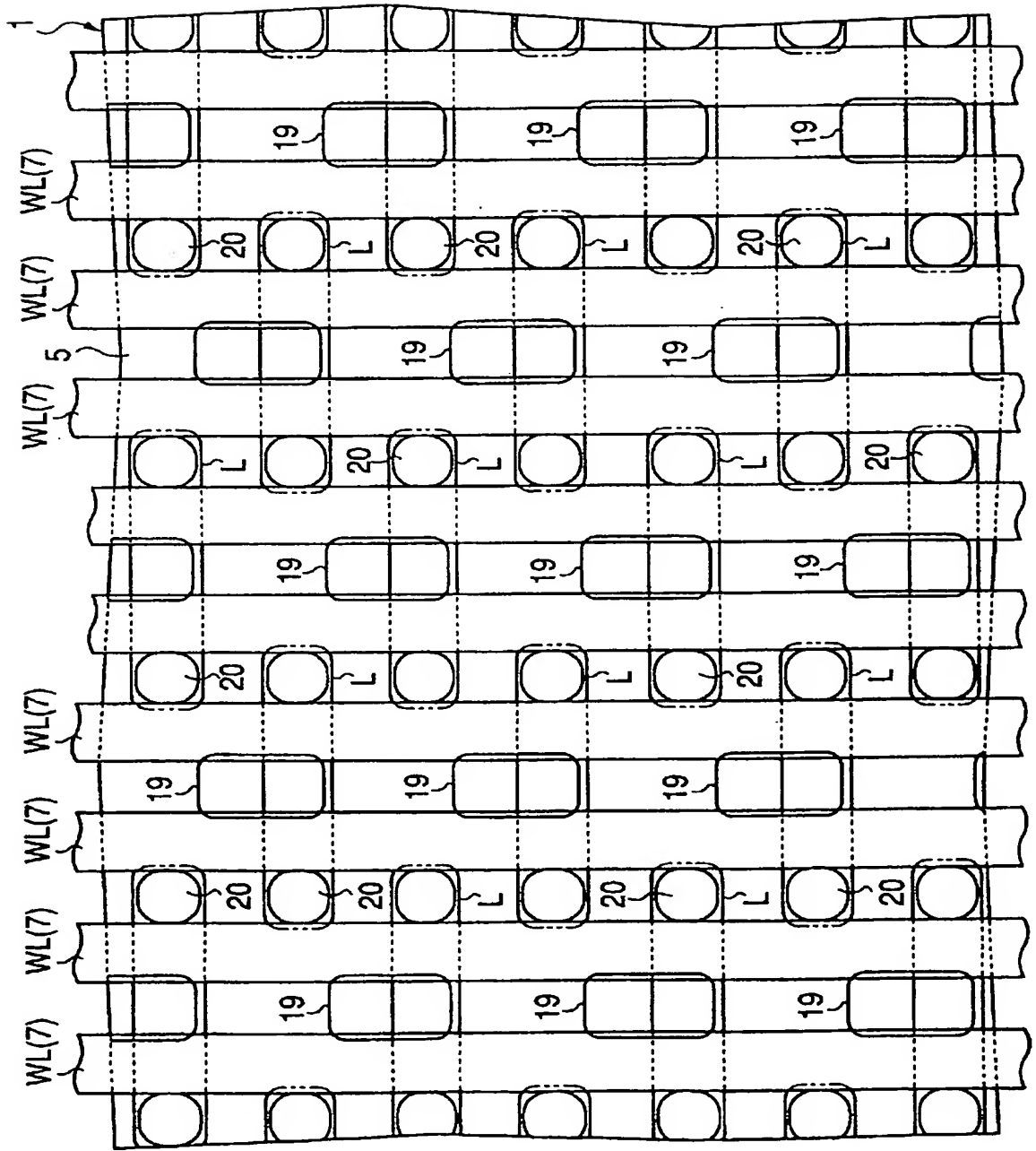
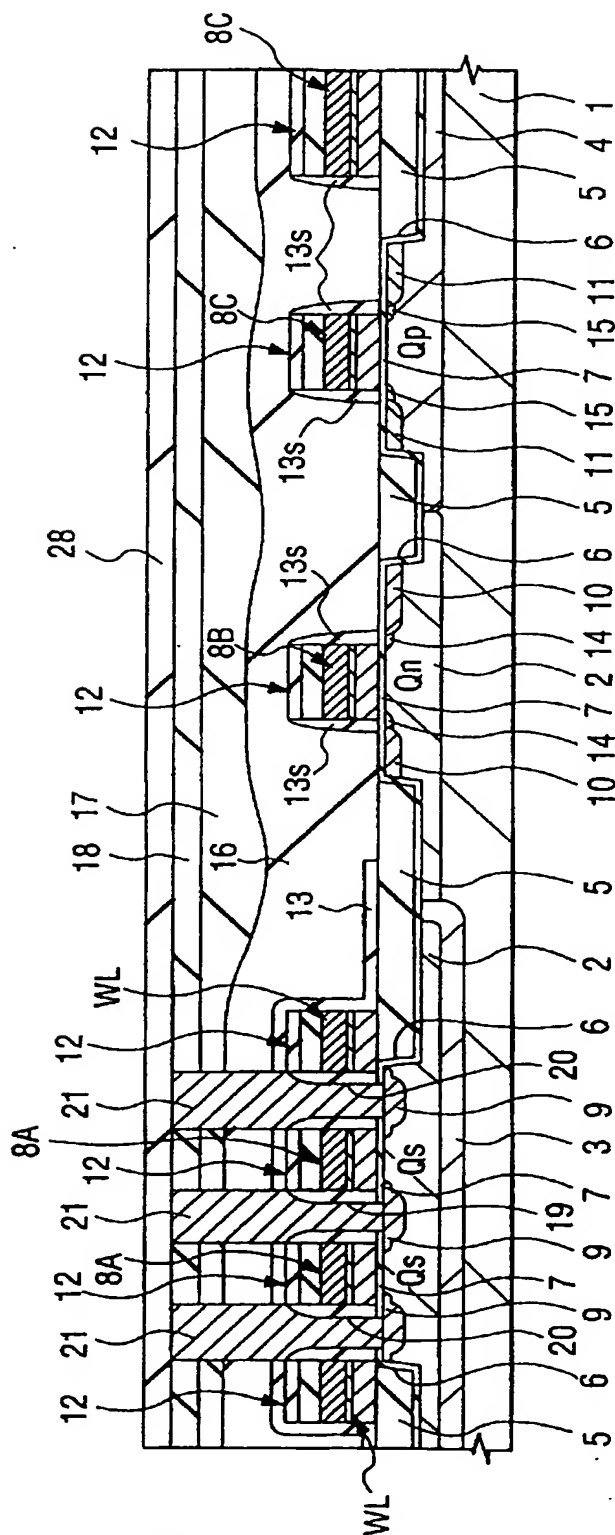




图 22



23

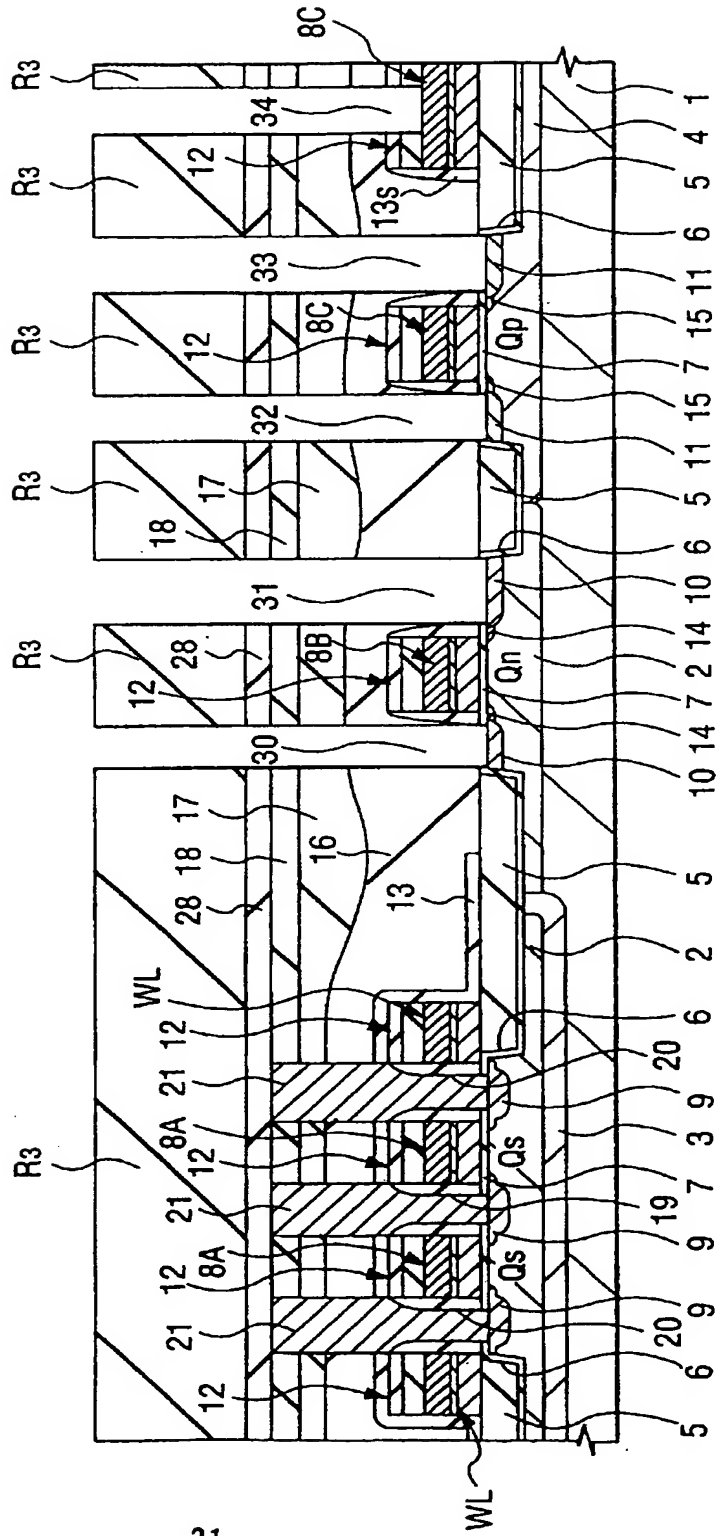


24(b)



900000

图 25





27

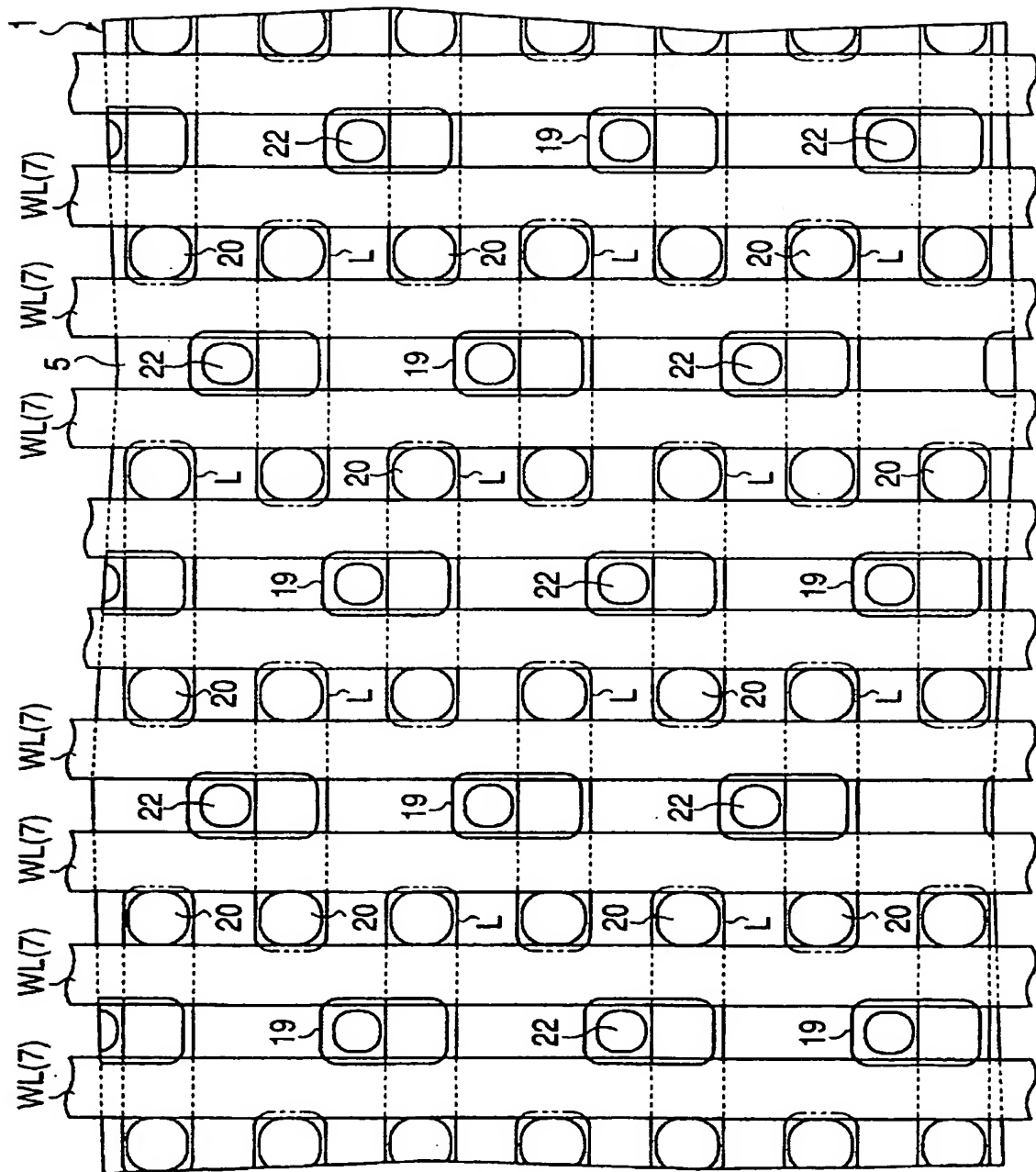


图 28

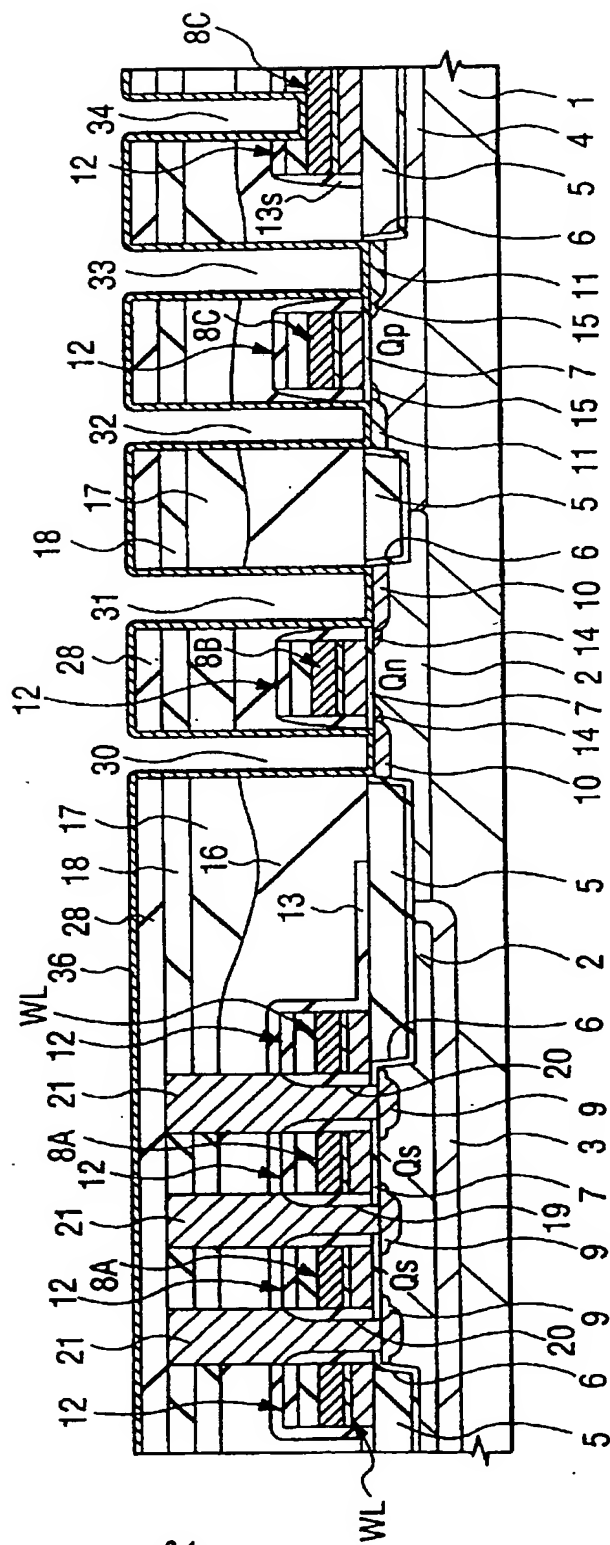
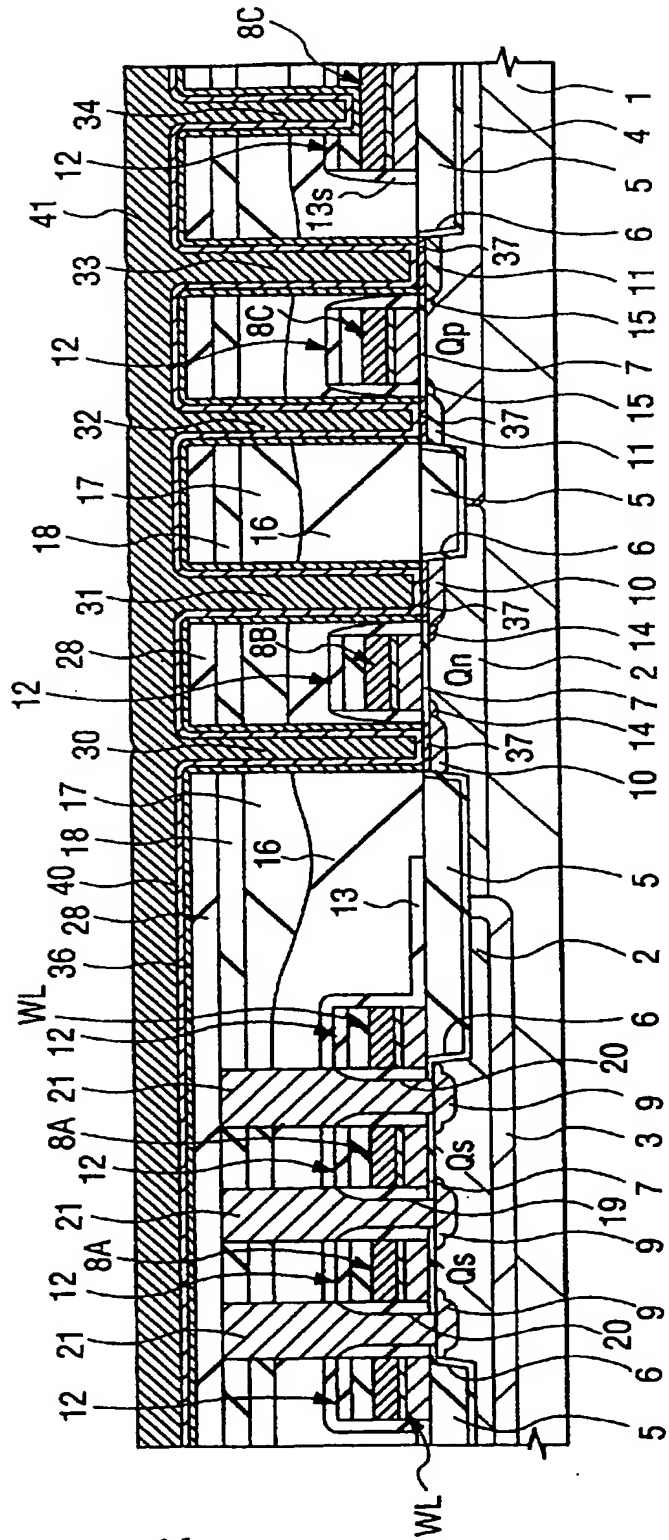






FIG. 30

图30



31

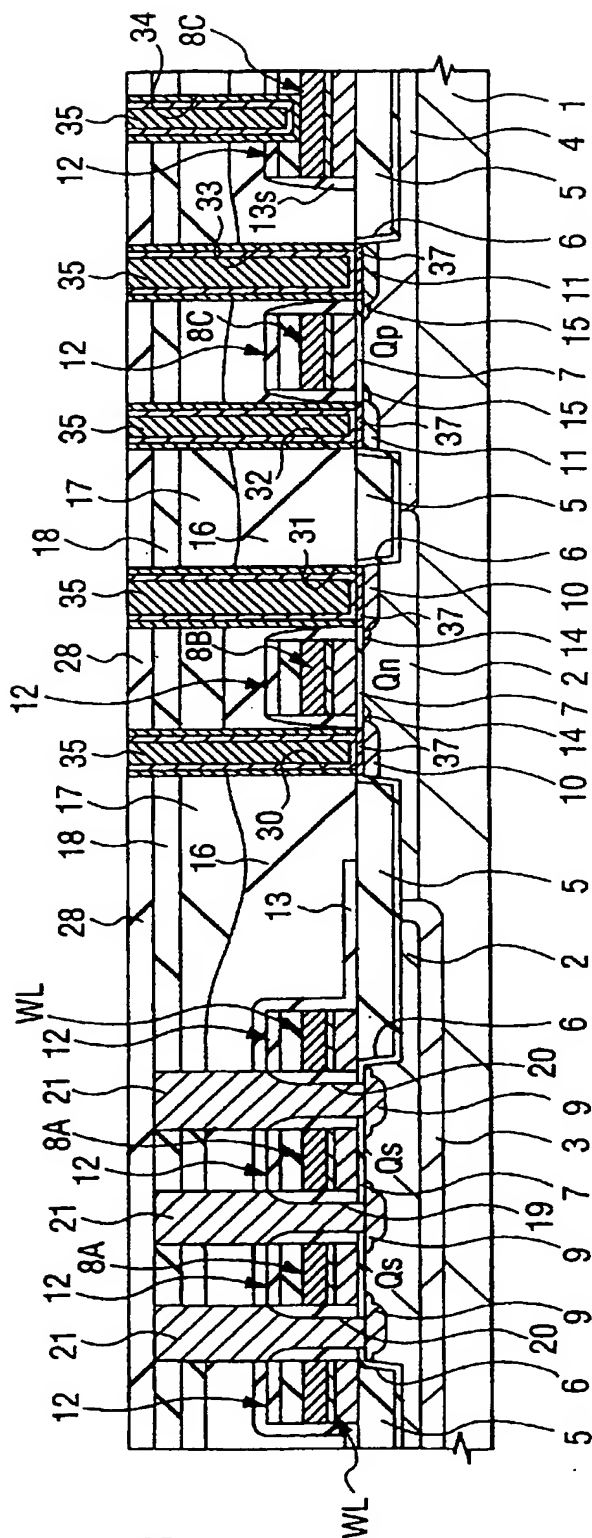


图 32

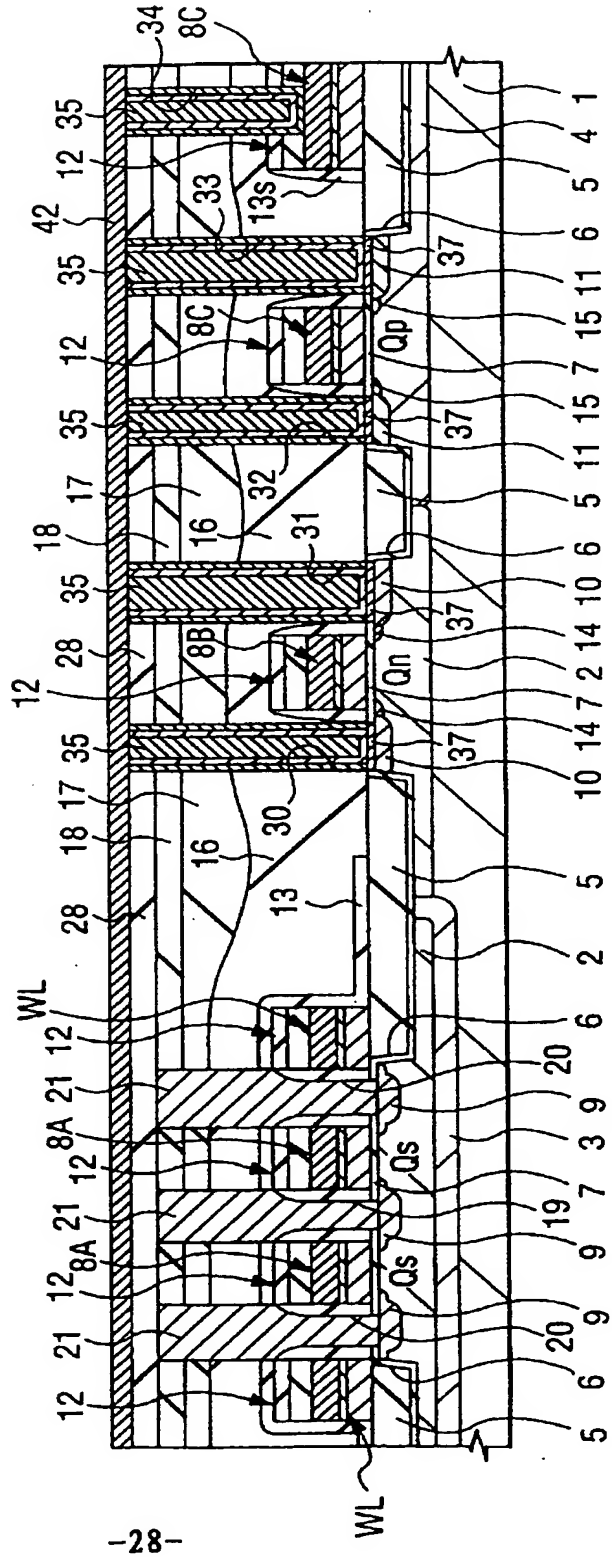
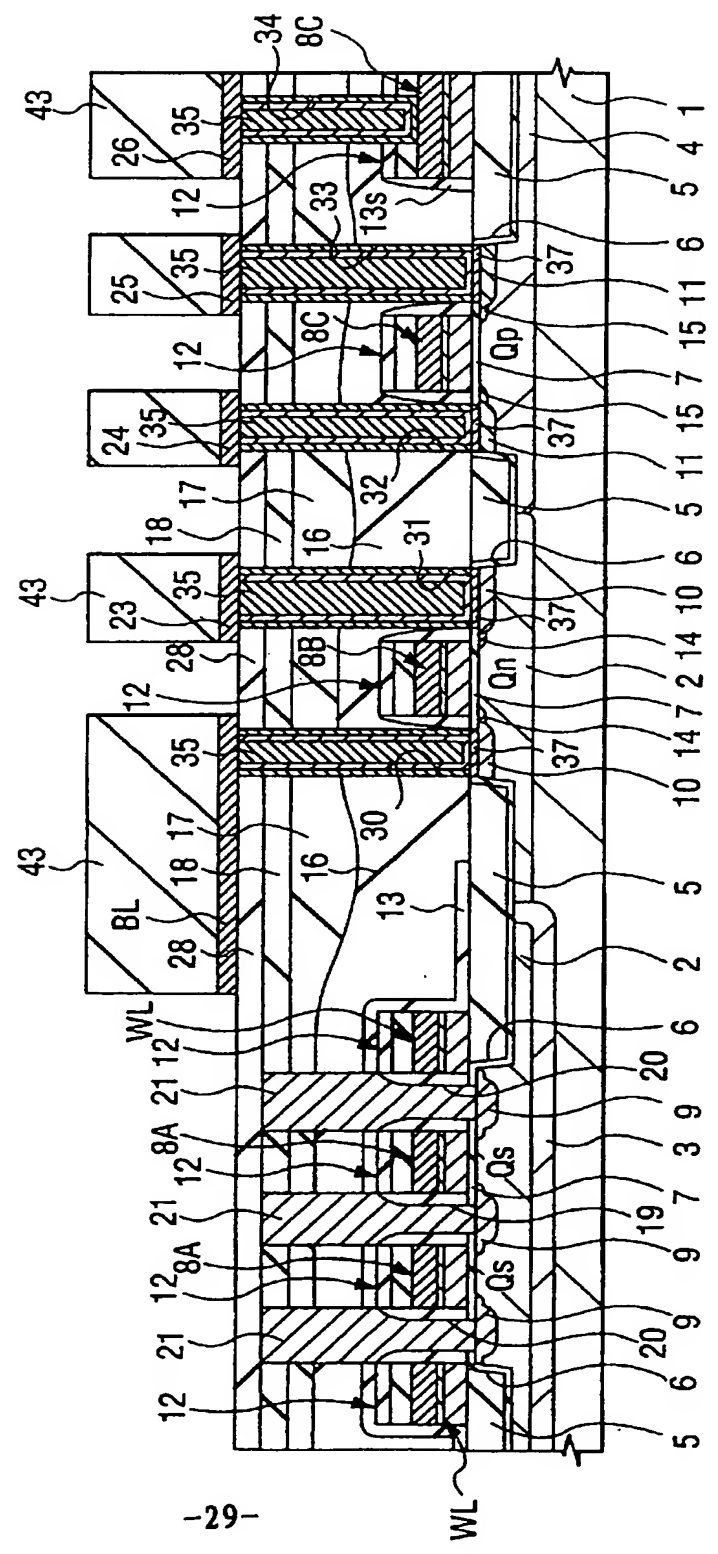


FIG. 33

图 33



3000

图 34

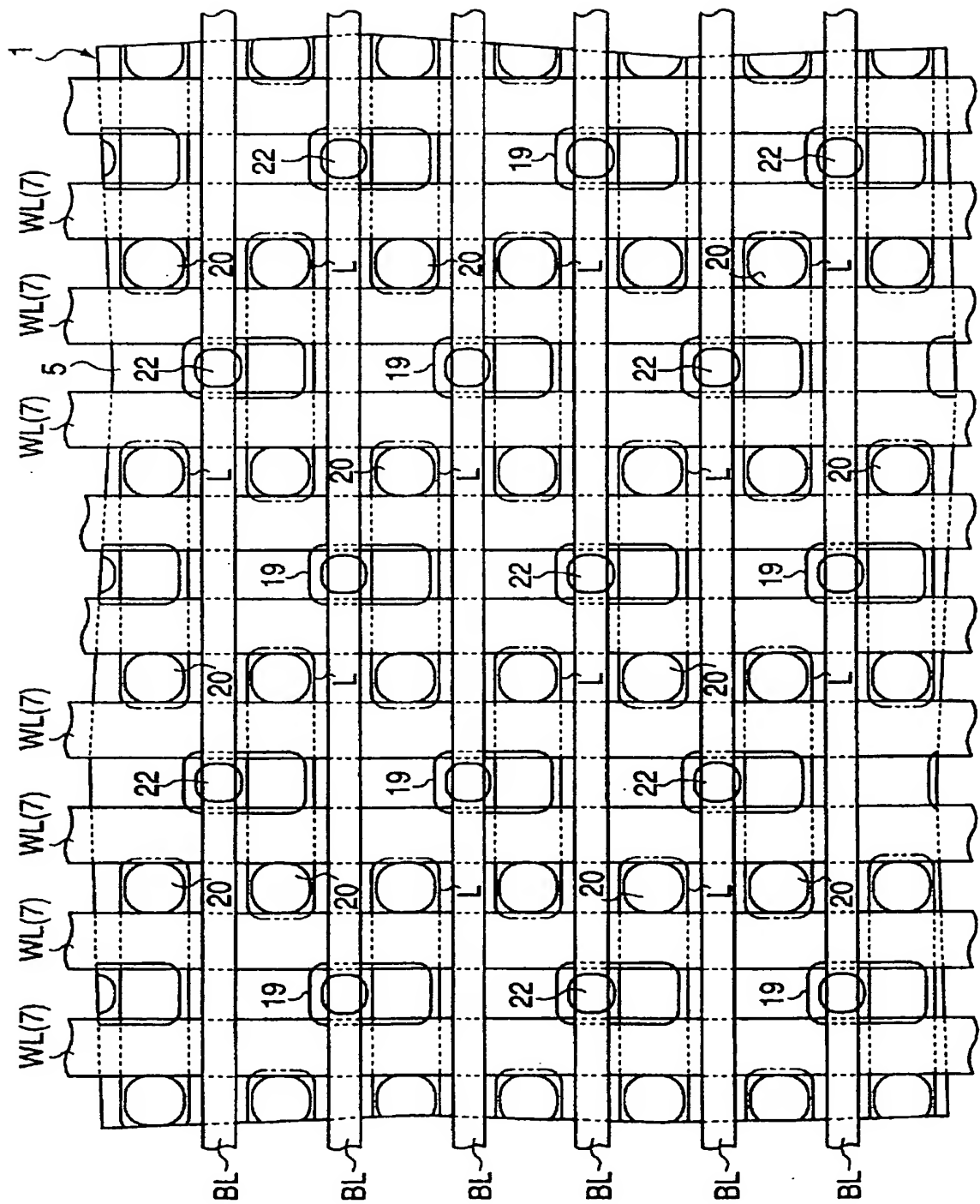
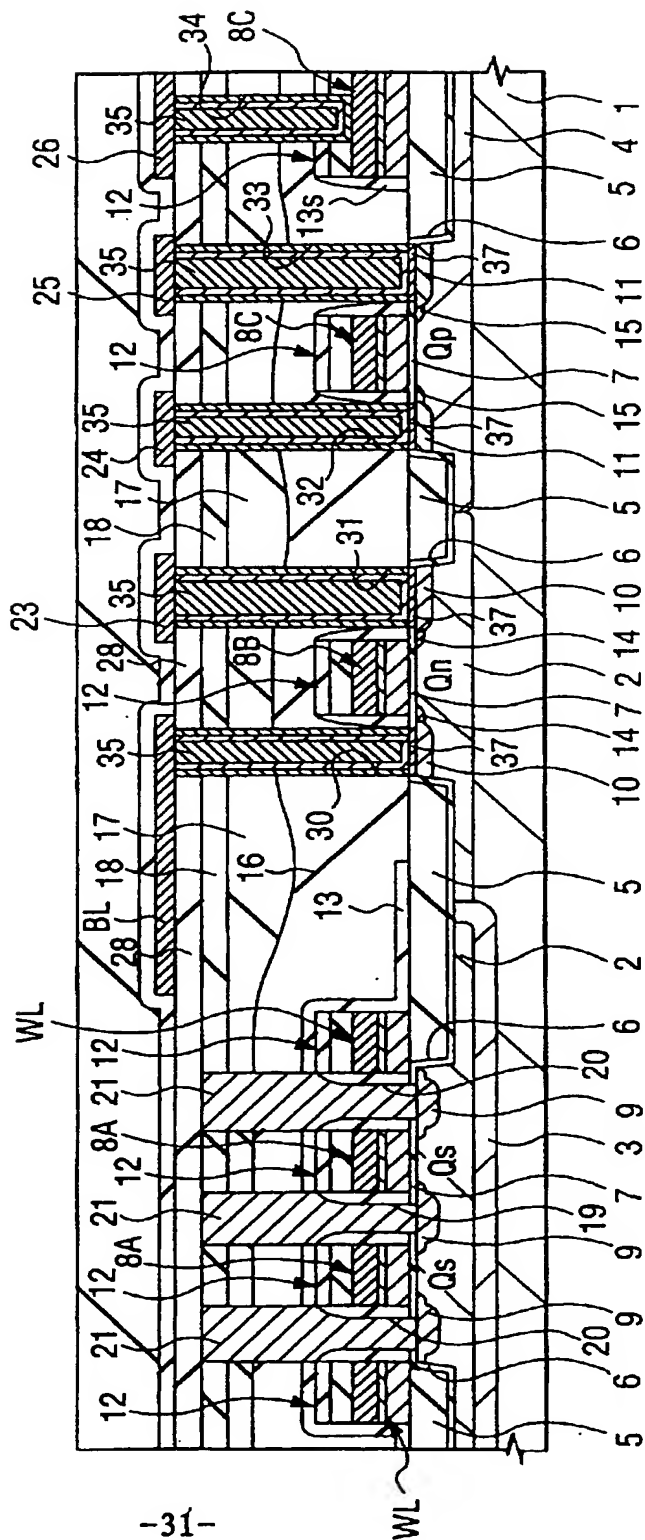


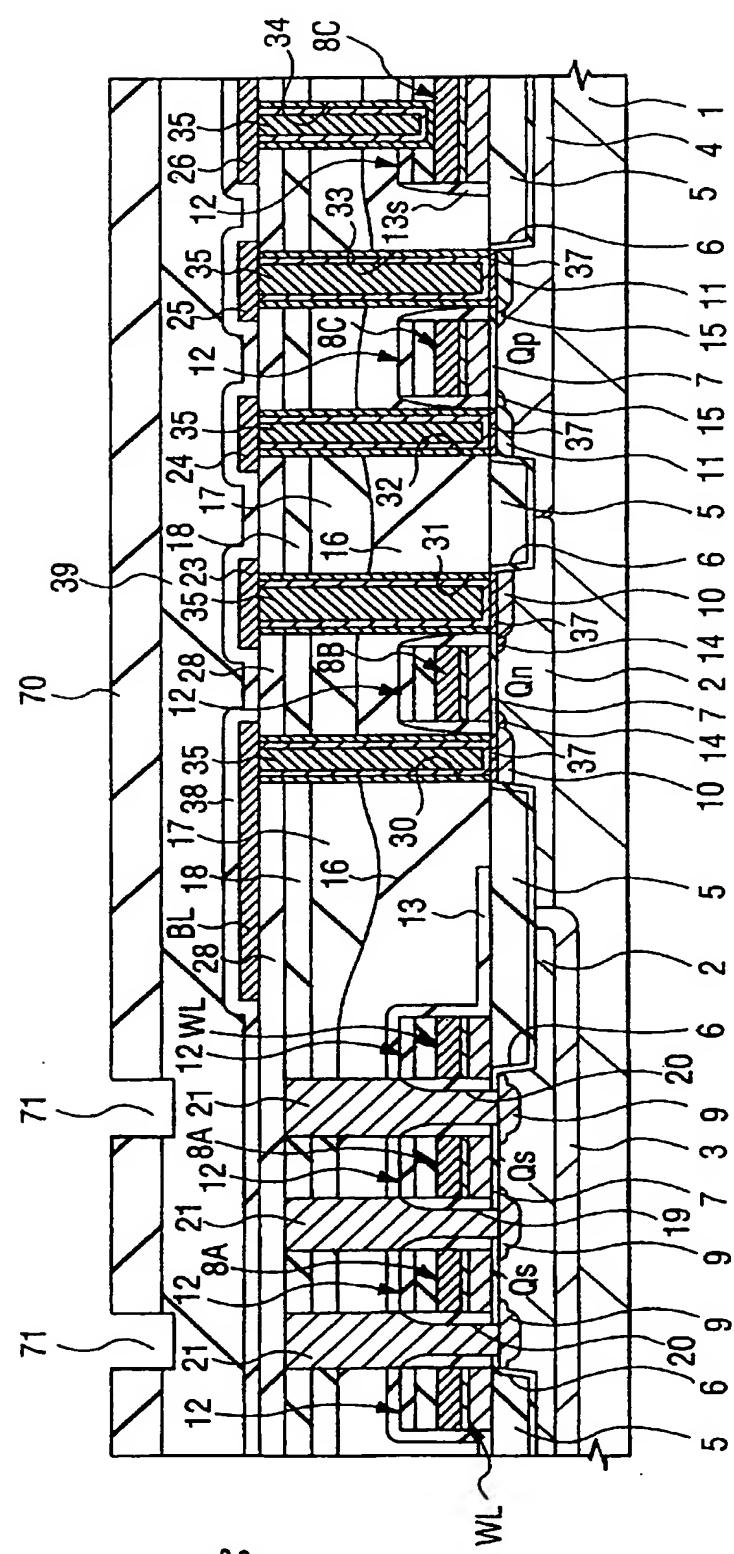
图 35





3300

图 37





9000

图38

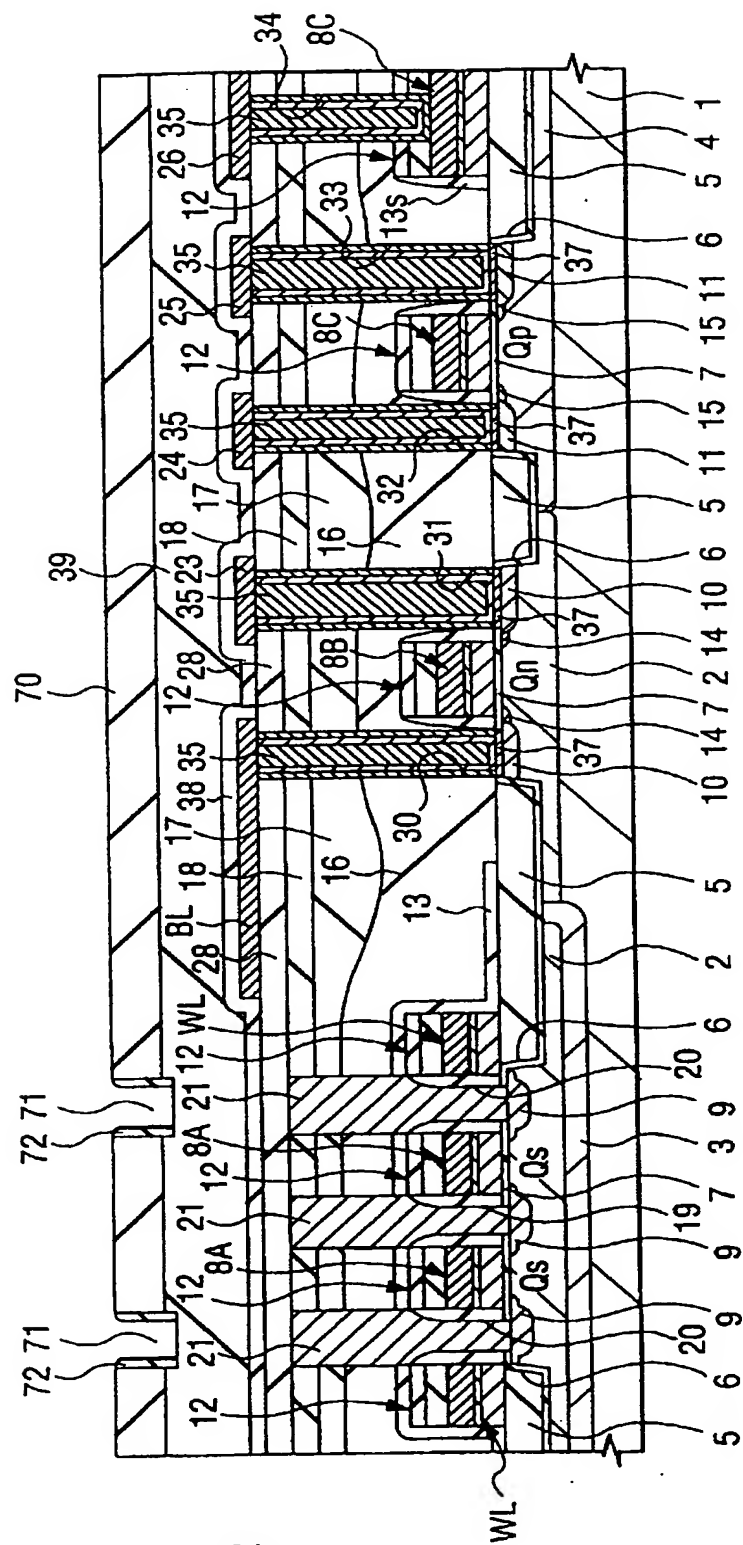


图 39

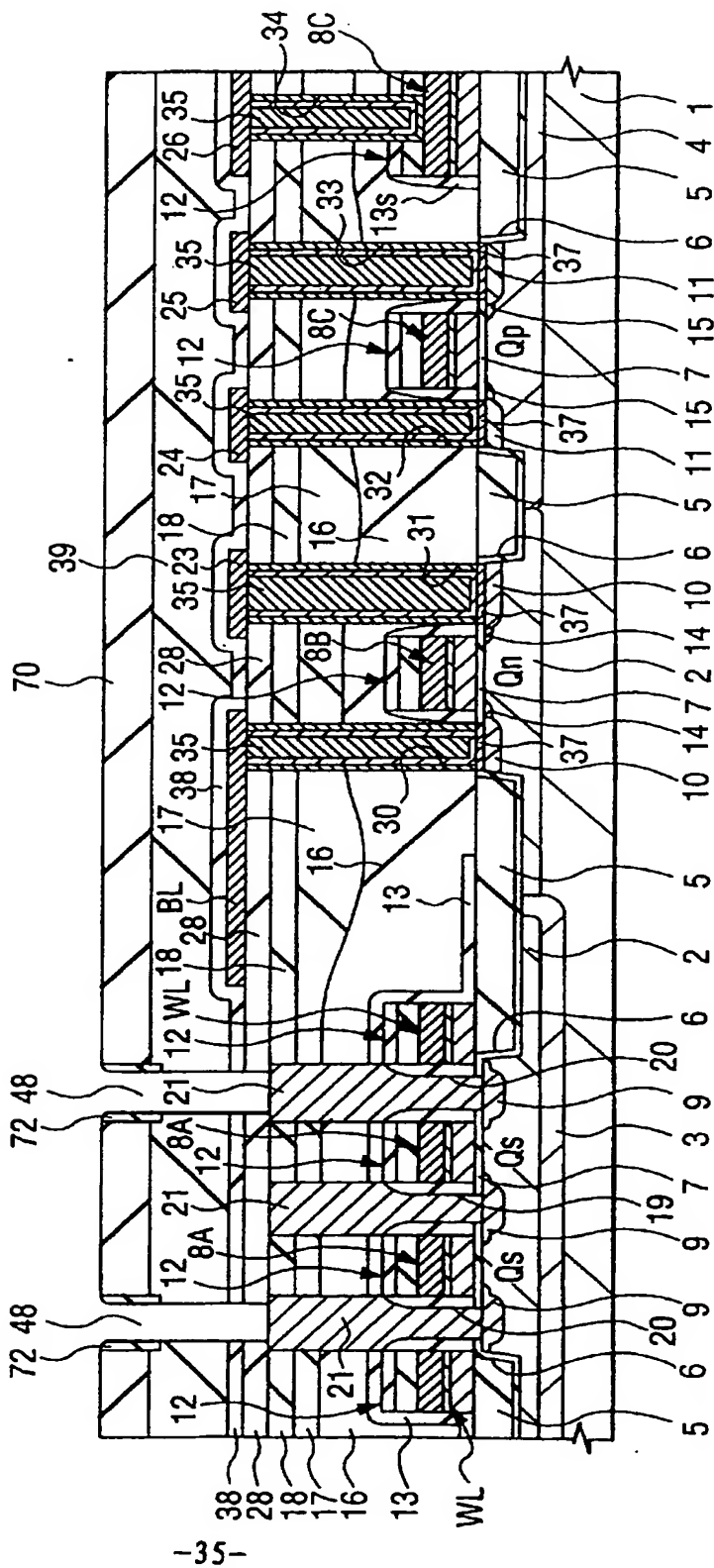
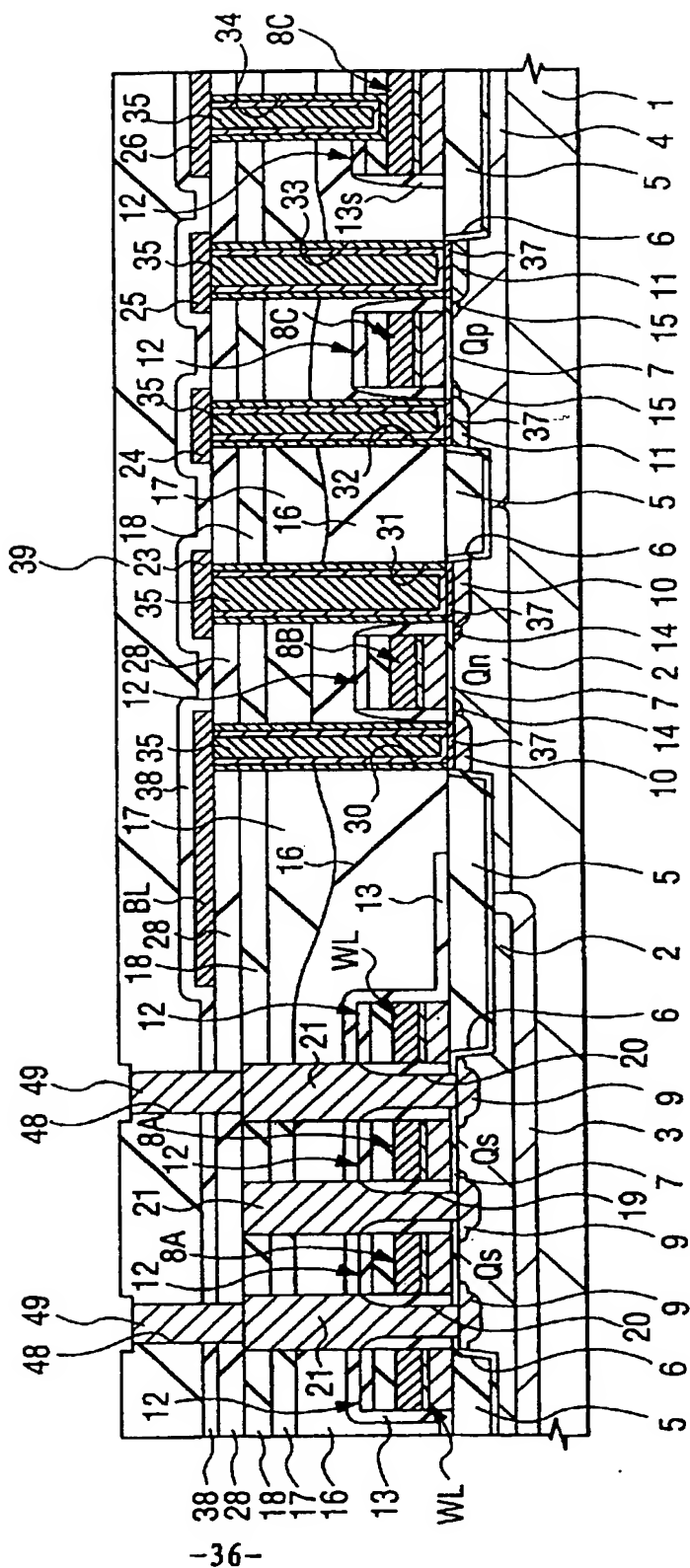


图 40



32

图41

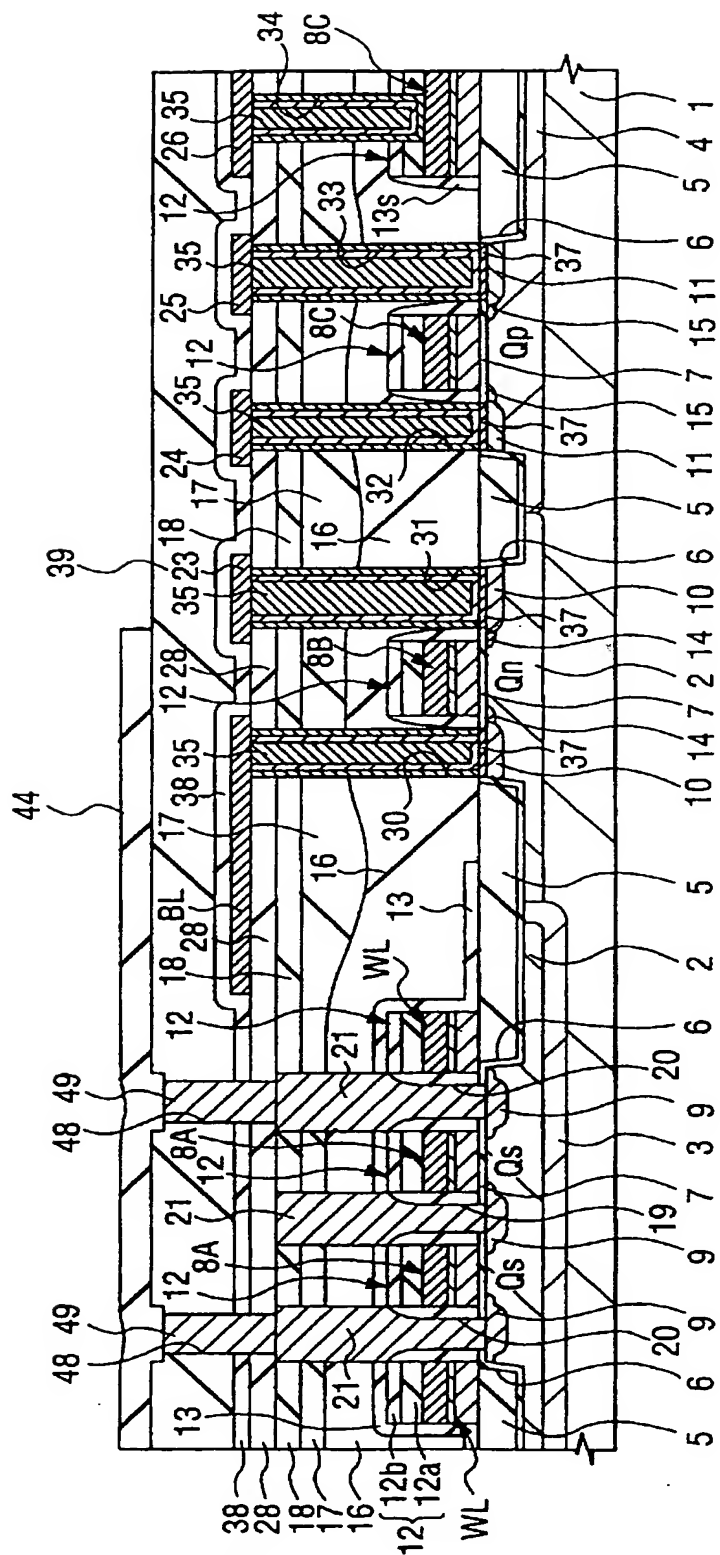






FIG. 44

图 44

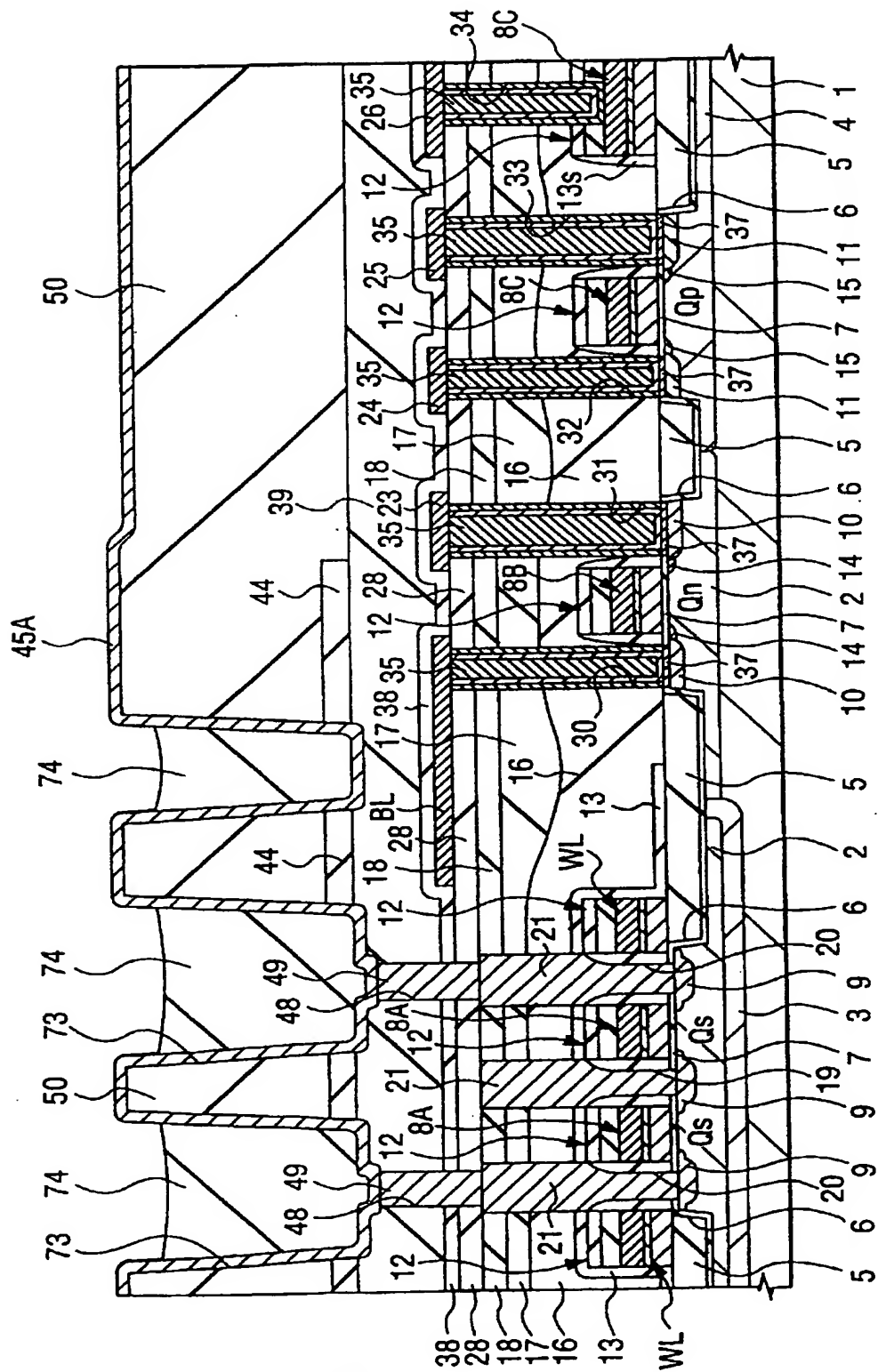
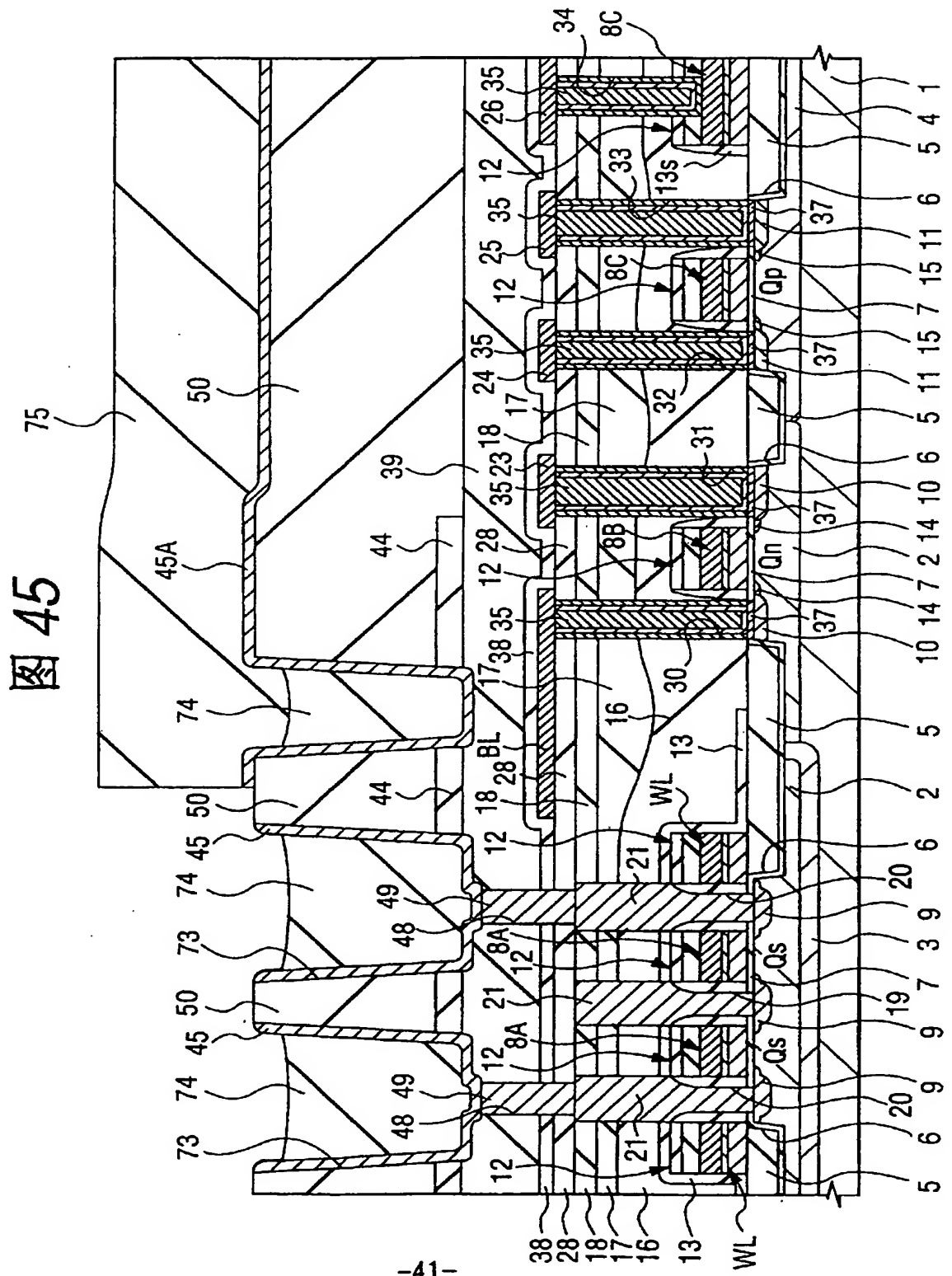


FIG. 45





46

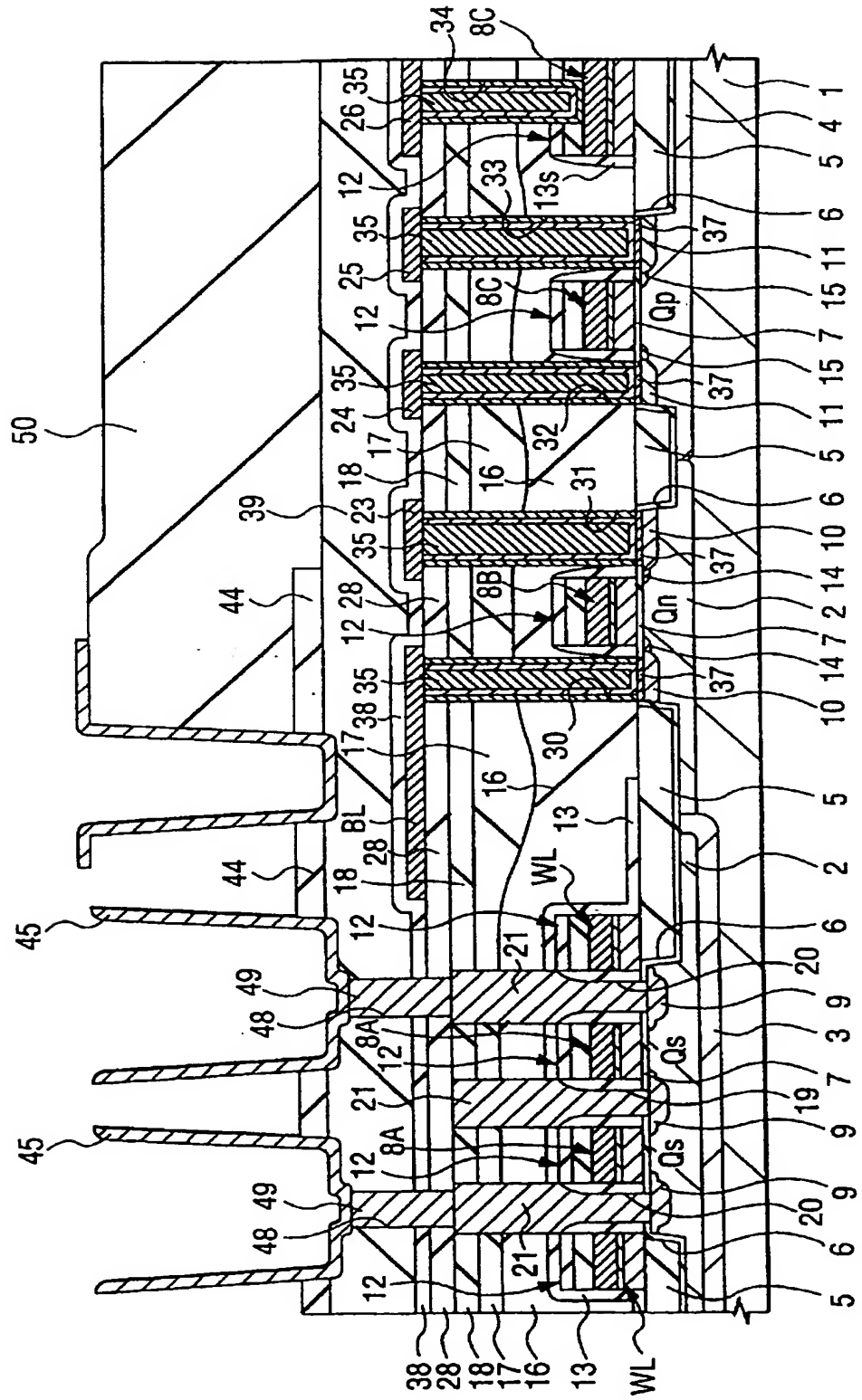


图 47

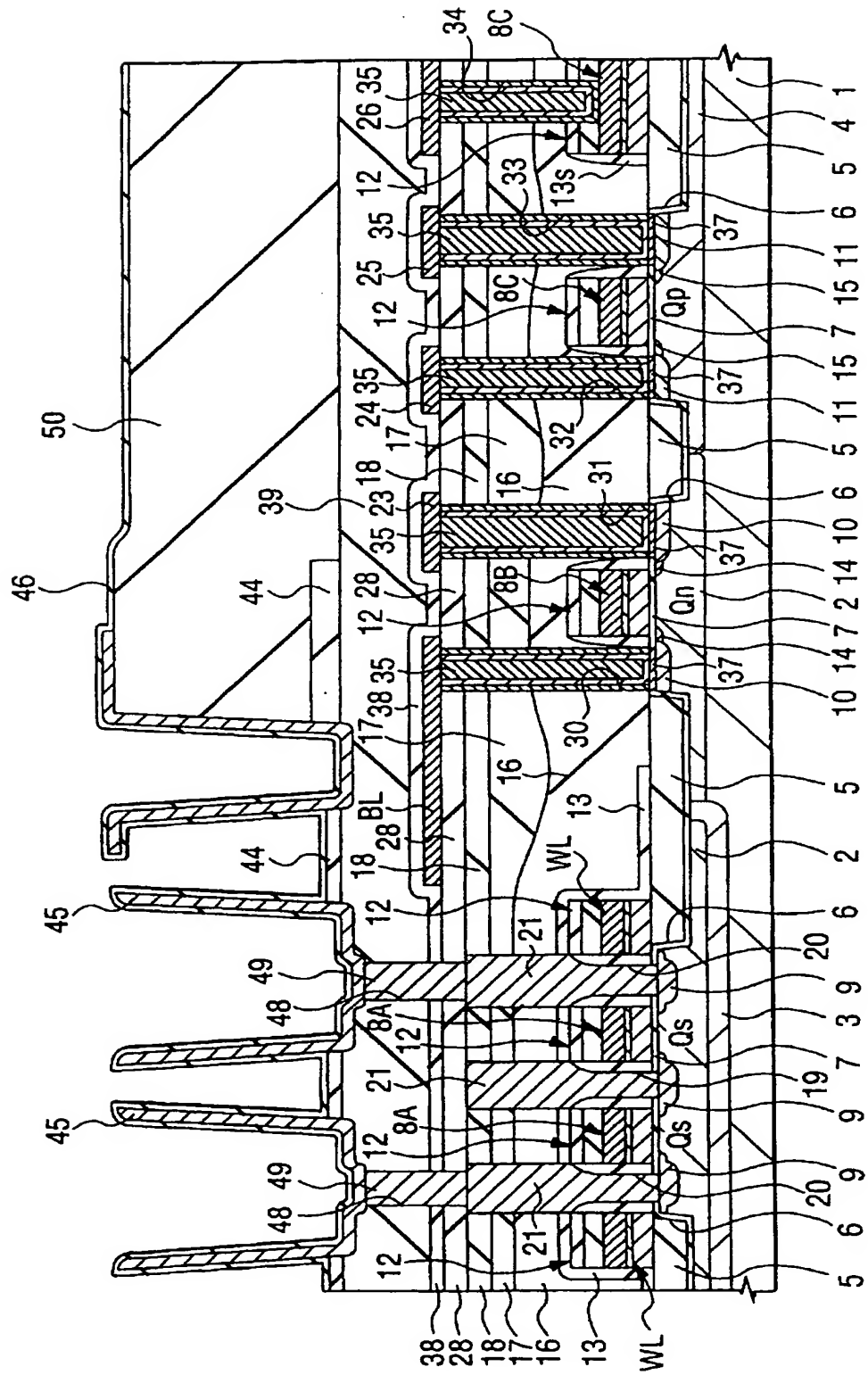
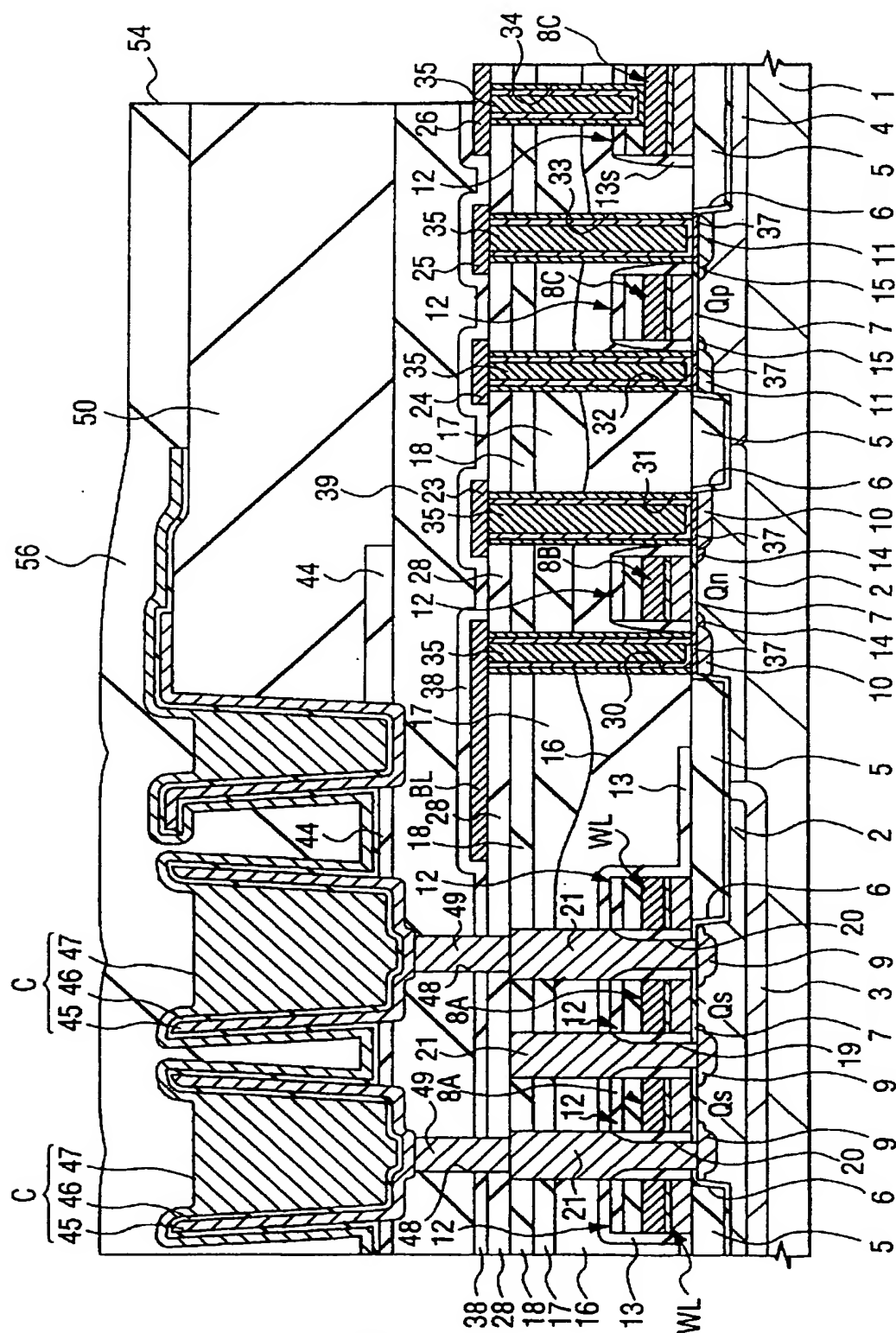




图 49



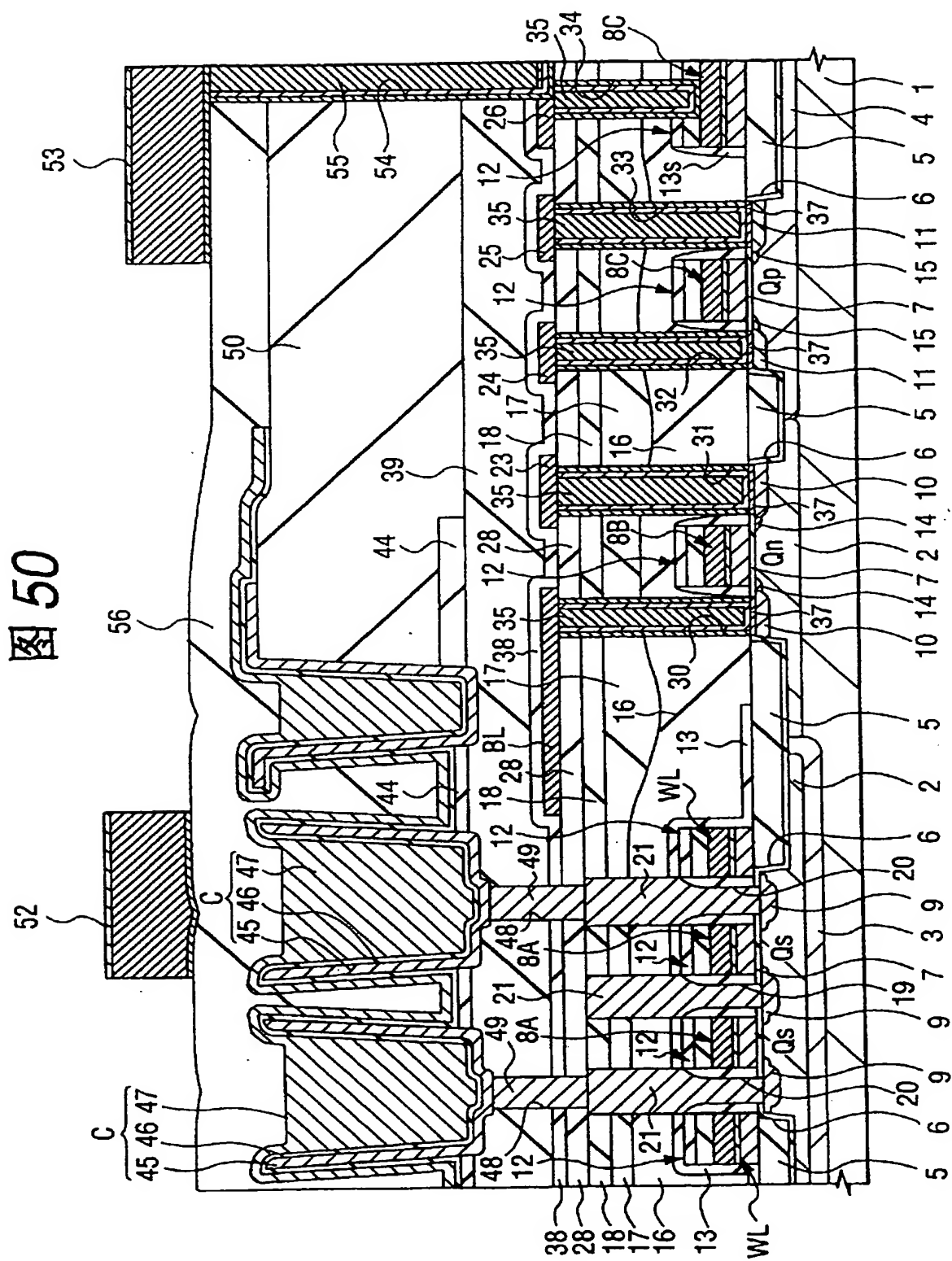
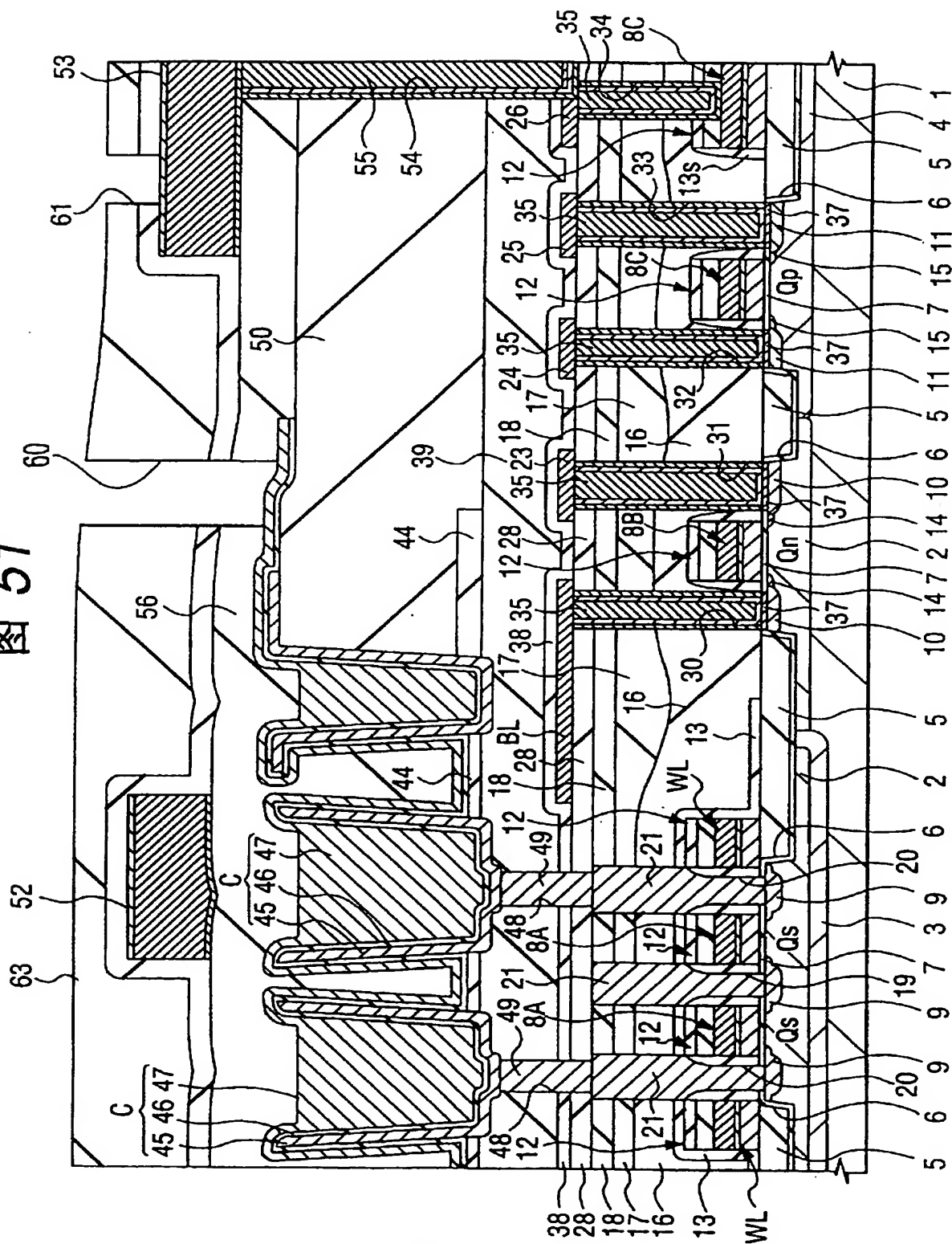


FIG. 51

图 51



9.0031

图 52(b)

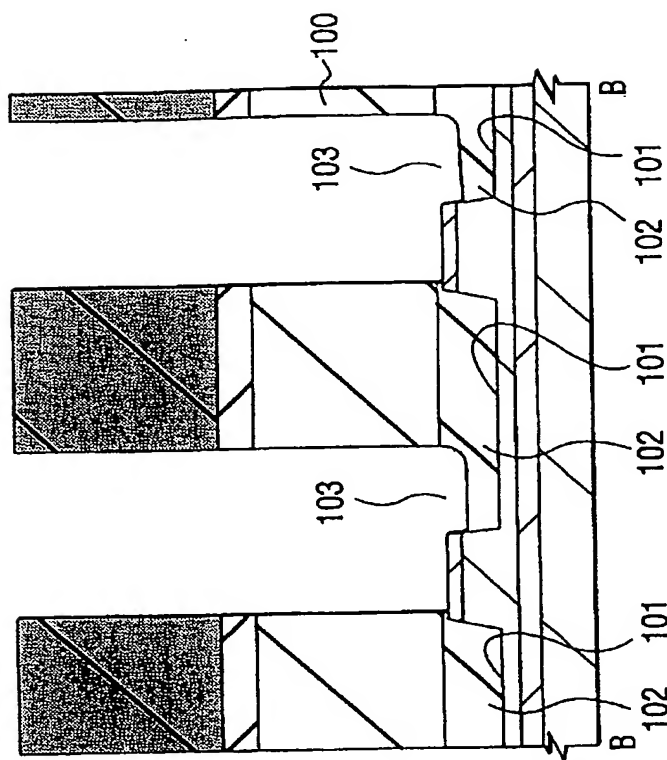
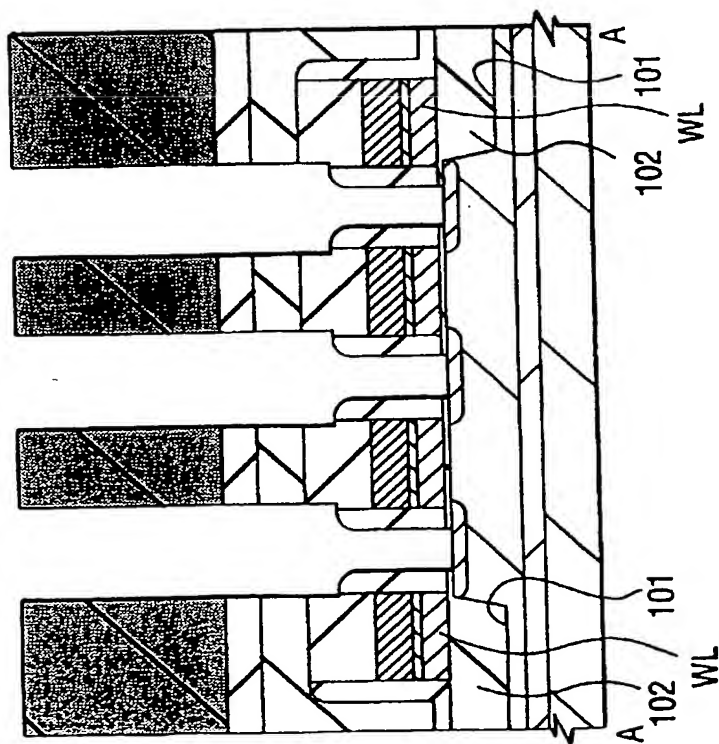
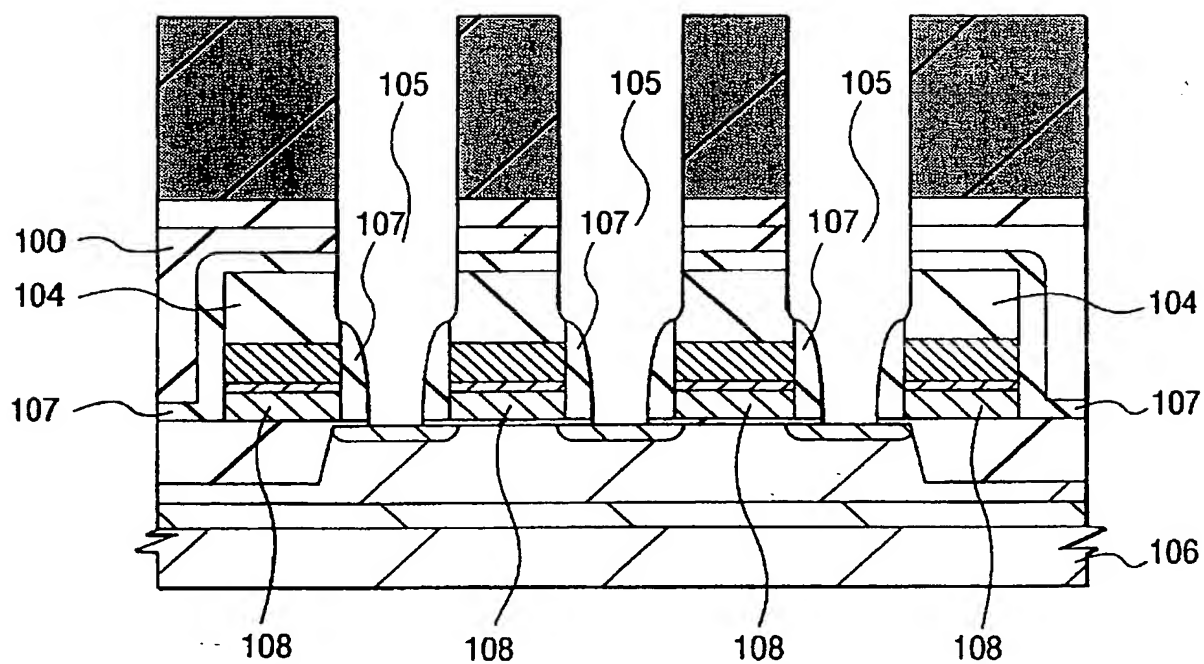


图 52(a)



9.08.31

图 53





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**